
2025年 演算増幅器設計コンテスト発表会

2026年1月16日

協賛企業

- YITOAマイクロテクノロジー株式会社
- セイコーNPC株式会社
- TOPPANテクニカル・デザインセンター株式会社
- 三栄ハイテックス株式会社
- エイブリック株式会社
- 株式会社日立製作所
- 日清紡マイクロデバイス株式会社
- 株式会社東芝
- 横河電機株式会社
- アズビル株式会社
- 旭化成エレクトロニクス株式会社
- ザインエレクトロニクス株式会社
- ルネサスエレクトロニクス株式会社
- アナログ・デバイスズ株式会社
- トレックス・セミコンダクター株式会社

試作の部 無償枠の1チップ
はA.LSIデザイン様により
提供いただきました

(申し込み順)

入賞者一覧 シミュレーションの部

参加者総数 97名

部門1

1位	森口悠斗	京都工芸繊維大学
2位	待鳥維吹	佐賀大学
3位	西田 海	宮崎大学
4位	高木 遼	京都工芸繊維大学
5位	永野竣平	日本大学
6位	水野滉大	京都工芸繊維大学
7位	伊藤 剛	防衛大学校

部門2

1位	待鳥維吹	佐賀大学
2位	高木 遼	京都工芸繊維大学
3位	臼井健悟	京都工芸繊維大学
4位	森口悠斗	京都工芸繊維大学
5位	嶋原大地	防衛大学校
6位	伊藤 剛	防衛大学校
7位	奥沢太一	東京理科大学

部門3

1位	待鳥維吹	佐賀大学
2位	森下 航	東京都市大学
3位	大沢 周	東京理科大学
4位	古保秀崇	東京理科大学
5位	木下恵介	東京理科大学
6位	森口悠斗	京都工芸繊維大学
7位	伊藤 剛	防衛大学校

部門4

1位	森下 航	東京都市大学
2位	南村天楽	京都工芸繊維大学
3位	森口悠斗	京都工芸繊維大学
4位	相川拓輝	広島市立大学
5位	待鳥維吹	佐賀大学
6位	永野竣平	日本大学
7位	馬淵涼平	京都工芸繊維大学

(敬称略)

入賞者一覧 試作の部・最優秀賞

参加回路総数 66

試作の部1位 中村駿太 東京都市大

2位 森下 航 東京都市大

3位 井上拓也 宮崎大学

4位 杉山章太郎 東京理科大学

5位 赤尾享紀 東京理科大学

6位 南村天楽 京都工芸繊維大学

7位 谷口将太 宮崎大学

最優秀賞

森下 航 東京都市大学

発表会プログラム

15:00～ シミュレーションの部入賞者 発表

京都工芸繊維大学 高木遼さん 部門2 2位

京都工芸繊維大学 南村天楽さん 部門4 2位

京都工芸繊維大学 森口悠斗さん 部門1 1位

佐賀大学 待鳥維吹さん 部門1-3 1位

16:15～ 試作の部入賞者 発表

宮崎大学 井上拓也さん 3位

東京都市大 中村駿太さん 1位

16:45～ 最優秀賞 発表

東京都市大 森下航さん 試作2位、部門4 1位、部門3 2位

17:05 講評 兵庫審査委員長

2025年演算増幅器設計 コンテスト

部門1:4位 部門2:2位 部門3:圏外

京都工芸繊維大学大学院 電子システム工学専攻
高井研究室
修士2年生 高木 遼

表紙

京都工芸繊維大学とは

- ✓ 京都市左京区に位置
- ✓ 金閣寺・銀閣寺・下鴨神社など、歴史的建造物に囲まれた環境

大学院での研究内容

MOSのL値やW値を設計変数とし、
ベイズ最適化手法を用いたアナログ回路の自動サイジングを研究

目次

- 本コンテストにおける戦略
- 部門2
- まとめ

本スライドのレイアウトに関して

- ・左上の枠に 本スライドの主旨・要点 を記載
- ・右枠および下枠には 補足説明や考察 を配置

本スライド形式は, 2021年度入賞者である尊敬する先輩の発表資料を参考に構成している

✓方針の決定

新規トポロジ生成ではなく、既存トポロジの性能最大化に注力
研究室OBの入賞事例を参考

✓既存環境の活用

ベイズ最適化を用いた自動サイジング環境
(部門1 1位・森口氏作成)をベースに使用

✓差別化ポイント

高次元ベイズ最適化手法 SAASBO を導入
MOSのL値・W値の中から 重要な設計次元を自動抽出

✓工夫

研究室サーバーとWeb環境で結果に差異が発生
SAASBOが抽出した重要次元を重点的に再調整

戦略

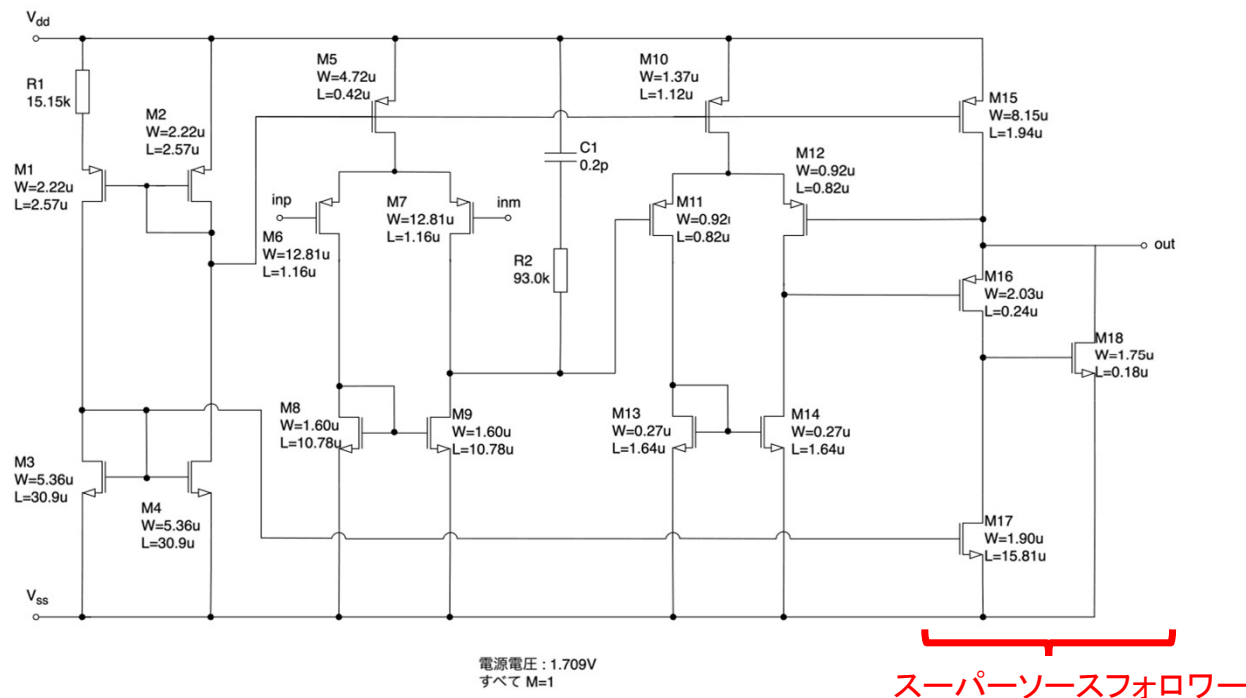
ベイズ最適化とは

- ◆ 試行回数を抑えつつ、ブラックボックス関数の最適解を探索する手法
- ◆ 演算増幅器のように特性を数式で表しにくい問題に有効
- ◆ 研究室の先行研究でも活用実績あり

課題

研究室サーバーでのHSPICE結果とWeb上のシミュレーション結果に差異があり、最終的な微調整はWeb環境で実施した

◆用いたトポロジ(2021年度 部門2 3位作品)



部門2

設計変数の設定

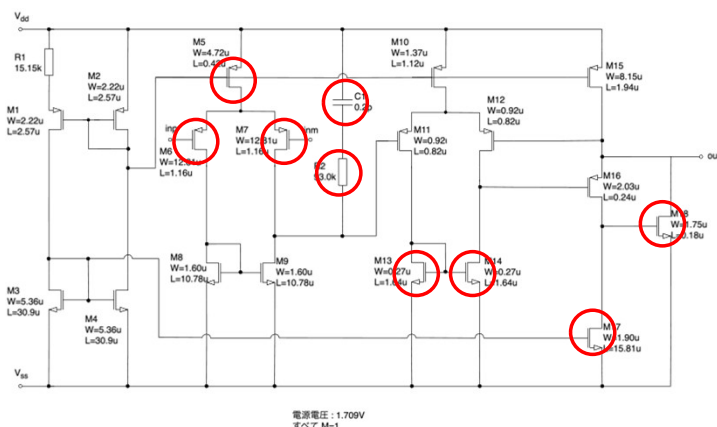
- ✓ MOSTランジスタのL値・W値を設計変数として設定
- ✓ 差動対などサイズを揃えるべきMOSは同一変数とした

その結果, 本トポロジは27個の変数となった

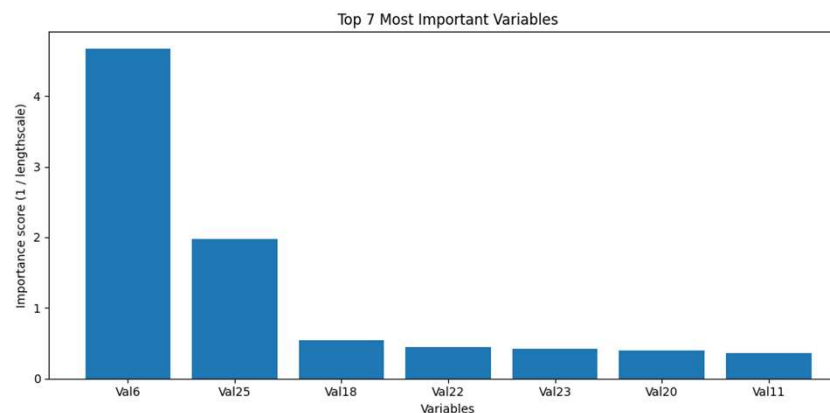
本トポロジ選定の理由

- ✓ 本トポロジは設計変数が多く, 高次元最適化を得意とするSAASBOの特性と相性が良い
- ✓ スーパーソースフォロワーのサイジングが特に難しく, 初期値には元の設計値を参考とした

◆SAASBOから得た結果



(○: SAASBOが示した重要素子)



val6	M6 と M7 の L
val25	M5 の L
val18	M17 の L
val22	C1 の容量値
val23	R2 の抵抗値
val20	M18 の L
val11	M13 と M14 の W

部門2

SAASBOとは

(Sparse Axis-Aligned Subspace Bayesian Optimization)

- ◆高次元空間では、全ての 변수が最適解に強く寄与するとは限らない
- ◆変数ごとの重要度を自動的に推定し、重要次元に注力して探索
- ◆その結果、少ないシミュレーション回数で高性能な解を探索可能

ベイズ最適化を用いた利点

シミュレーション環境間の差異により厳密な最適化は困難だった

だが、ある程度良好な解を自動的に発見できたため、そこからの手作業サイジングが容易
SAASBOは、回路知識が十分でなくても効率的にサイジングできる有効な手法だと感じた

◆シミュレーション結果

$$\text{スコア} = \frac{\text{利得帯域幅積} \times \text{位相余裕}}{\text{消費電力}^2 \times \text{出力抵抗} \times \text{入力換算雑音}}$$

評価項目	シミュレーション値(研究室)	シミュレーション値(大会)
利得帯域幅積	1.190e+07	-
位相余裕	86.40	-
消費電力	0.0000061	-
出力抵抗	7.751e+00	-
入力換算雑音	0.001641	-
スコア	2.154e+21	2.000e+21

部門2

サイジングにて
心がけたこと

✓消費電力

✓入力換算雑音

この二つを最小化

シミュレーションでの最終局番では...

最終日は順位の変動が激しく、なんとかスコアを向上できるように小数第2位の値までも調整

シミュレーションを行った回数は、数えきれない...

まとめ

参加しての感想

試作の部にもベイズ最適化を用いてチャレンジしたが入賞できなかった

シミュレーションの部は、今回初めての参加だったが、楽しく取り組むことができた

- 本コンテストを通して、目標とする特性を向上させるためのサイジング方法を学べた
- 既存トポロジに対し、SAASBOを用いた高次元ベイズ最適化を適用する戦略が、効率的な性能向上につながった
- 他トポロジへの適用では、探索範囲設定が結果に大きく影響することを確認した
- シミュレーション環境において、研究室環境と大会環境の差異が解消されれば、ベイズ最適化手法の優位性はさらに高まると考えられる

～謝辞～

演算増幅器設計コンテスト協賛企業の皆様及び運営に携わられた
皆様に厚く御礼申し上げます

表紙

2025演算増幅器設計コンテスト

部門4:第2位 試作の部:第6位

京都工芸繊維大学大学院 電子システム工学専攻
集積システム講座・高井研究室 M1 南村天楽

京都工芸繊維大学とは
京都府左京区に位置する
理系単科大学。

金沢工業大学と略称名
(KIT)がバッティング
している。

ドメインは京都のKITが
取得しているが商標登録
は金沢のKITが取得
しており肩身が狭い。

南村天楽・・・大学院1年生(M1)、写真研究部に所属。アナログ集積回路の自動設計および
感度解析について誠意研究中。第22回NEXCO西日本フォトコンテストベストブロック賞受賞。

もくじ

もくじのページです

- 部門4
- 番外編 (試作の部)

画面のレイアウトについて

尊敬する先輩が2019年演算増幅器設計コンテストの表彰式で発表されていたスライドのテンプレートを踏襲しています。

もくじ

部門4です。

- 部門4

- 参加動機
- 方針
- 提出回路
- シミュレーション結果

- 番外編

画面のレイアウトについて

尊敬する先輩が2019年演算増幅器設計コンテストの表彰式で発表されていたスライドのテンプレートを踏襲しています。

参加動機

- 部門4 過去の入賞者人数

- 2024年・・・4人
- 2023年・・・0人
- 2022年・・・0人
- 2021年・・・7人
- 2020年・・・1人

注：2020年は奨励賞2人、
敢闘賞1人。

オペアンプについての知識が未熟なので、当初は試作のみの参加予定だったが、部門4が受賞者なしの年もあり狙い目なのではということで参加を決意。

目標 – 無信号時の消費電力の 最小化

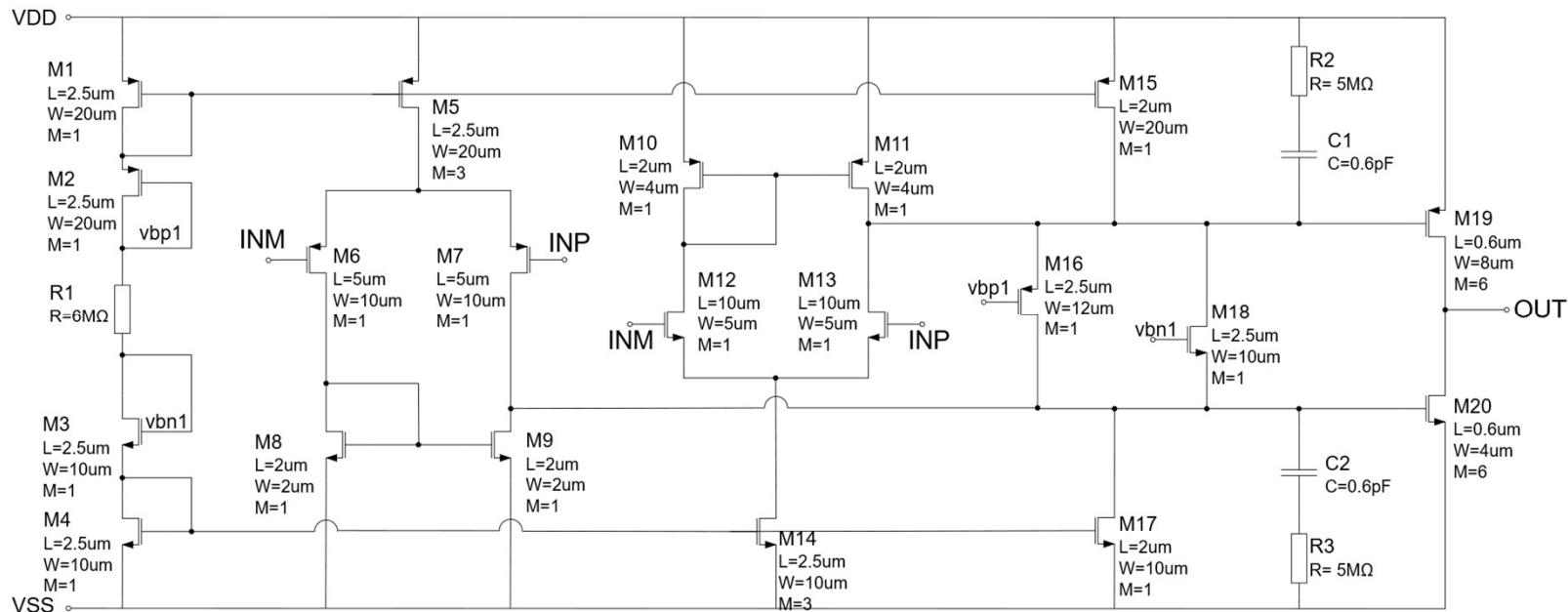
設計方針

設計要件
直流利得 40dB 以上
位相余裕 45 度以上
負荷容量 $\pm 10\%$ 変動
帯域幅 20kHz 以上
出力オフセット電圧
 $\pm 100\text{mV}$ 以下
入力電圧範囲
 $\pm 100\text{mV}$ 以上
スルーレート
 $\pm 1\text{V}/\mu\text{s}$ 以上
全高調波歪 0.1%以下
入力: 1kHz, 振幅 1mV
DC オフセット 0V
占有面積 0.2mm^2 以内

参加人数が少ないことを願って、とりあえず要件を満たす回路を提出する。

提出回路

Rail to Rail 入力
AB級出力



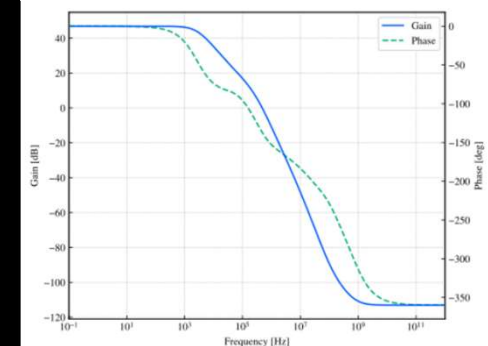
無信号時の消費電力の最小化が目標のため、AB級出力を選択。リーク電流を減らしつつ、SRも確保する。電流パスを減らしできるだけシンプルな回路を作って調整をしやすいようにした。

項目	研究室の環境
消費電流 (A)	0.00000783
消費電力 (W)	0.0000391
直流利得 (dB)	46.82
位相余裕 (deg)	44.78
スルーレート (V/s)	1.3181e+06
全高調波歪 (%)	0.1643
帯域幅 (Hz)	1.016e+05
入力電圧振幅 (V)	0.62
オフセット電圧 (V)	0.02

→ 消費電流: 7.83uA

シミュレーション結果

消費電流 vs スルーレート
vs 位相余裕のトレード
オフに悩まされた。



手元の環境と提出結果がちょっとずつズレたため、手元である程度の結果が出たら提出を繰り返した(特に歪がずれる。位相余裕がずれるのはユニティゲイン周波数あたりで位相が一気に回転しているのが原因だと推測)。スルーレートにゆとりがあるのもっと消費電流を絞るべきだった。

もくじ

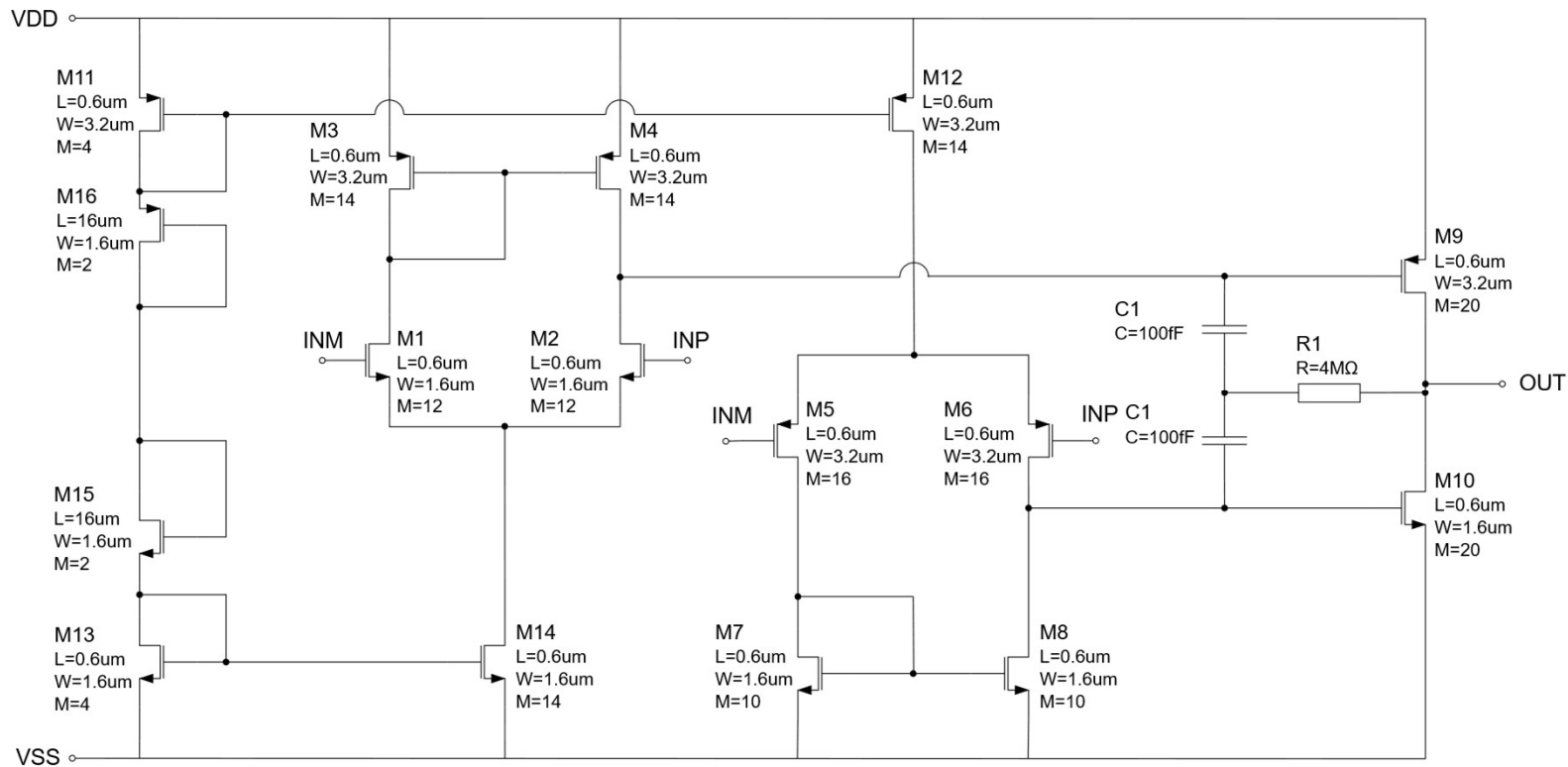
- 部門4
- 番外編 (試作の部)

試作の部です。

試作の部は6位ですが僭越ながら発表させていただきます。

提出回路

Rail to Rail 入力
AB級出力
レベルシフトなし



部門4からレベルシフトを抜いた構成。抵抗はばらつきが大きいと聞いたため、バイアス段はMOSFETのみで構成した。

シミュレーション と実測の結果

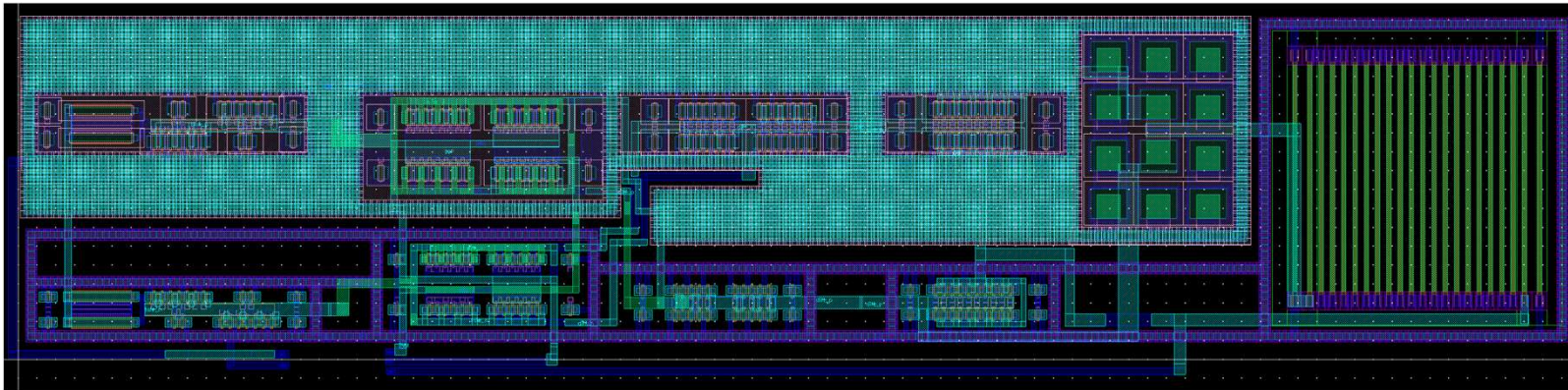
項目	シミュレーション	実測
消費電力	72.038 μ W	1.5mW
スルーレート	2.47V/ μ s	1.46V/ μ s

→ ただし6位入賞(!?)

弊研究室には16個のチップが届いたが、大半がB級動作していたり、増幅ができていなかったりで想定通りに動作しないものばかりだった。

シミュレーションでは消費電流を14 μ A程度に絞ったが、実測では300 μ Aと大幅に増加してしまった。さらに消費電流が増加しているが、スルーレートも悪化している。ただし、チップによってばらつきがとても大きく、手元に届いたチップでは1.5mWが最小だったが6位に入選させていただいているところを鑑みると、コンテスト側に渡ったチップがたまたまシミュレーション結果に近い良いものが届いたと考えられ、歩留まりの高いものを作る重要性を痛感した。

マスク レイアウト



- このレイアウトのここがすごい！
 - マッチングを考慮して全てのMOSの並列数が偶数
 - コモンセントロイドでシステムチェックばらつき対策
- このレイアウトのここがダメ！
 - 入力信号の上をいろんな配線がわたっている
 - 信号線が無駄に引き回されている
 - ダミーのMOSFETが遠く、意味をなしてない
 - M2・M3が縦横定められておらず縦横無尽に配線されている

5月頃にこのレイアウトを作成したが、8月にインターン先の企業でレイアウト技術を学び、このレイアウトがいかに突っ込みどころが多いものかということを知った。コモンセントロイドやマッチングを意識して並列数は偶数になるような設計をしたが、信号の流れが意識されておらず、入力信号のケアが全くできていない。回路の歩留まりが悪いのはレイアウトが大きく影響していると考えている。

- 賞をいただいたことでコンテストへのモチベーションが大きく上がった
- ここ1年の研究生生活やインターンでオペアンプについての理解度も上がった
- だがまだまだ定性的にしか理解できていない部分が多くシミュレーション頼りで設計をしているので、ある程度は定量的にあたりをつけた設計をしたい
- 来年度はレイアウトに力を入れて試作の部で、シミュレーション結果と実測結果が近くなるような歩留まりの高いレイアウトをしたい

まとめ

本年度のコンテストを完
走した感想

参加者が少ない部門を狙って参加した部門4だったが、結果的に参加者が多い中でも上位入賞することができて良かったです。年々入賞へのハードルが上がっているようですが、私のような初学者でも入賞することができたので、上位目指してぜひチャレンジしてみてください。

～謝辞～

この度は大会参加にあたり大変貴重な機会をいただきました
大会運営及び協賛企業の皆様に深く感謝申し上げます

2025年演算増幅器設計 コンテスト

シミュレーションの部

部門1: 1位

部門2: 4位

部門3: 6位

部門4: 3位

京都工芸繊維大学 電子システム工学専攻

森口悠斗

表紙

京都工芸繊維大学とは

京都にある3つのキャンパスで工芸科学という学問を学べる実学の理系単科大学！大学院からは繊維についても学べるんだぞ！

森口悠斗・・・大学院博士前期課程2年次(M2)、特技は先生からのおつかい。奈良県の社会人吹奏楽団に所属。「集積回路 & AI」というテーマにミーハーな心でつられ、研究室を選ぶと大学に9年身を置くことになった。



京都工芸繊維大学
KYOTO INSTITUTE OF TECHNOLOGY

もくじ

- 部門1
 - 提出回路
 - オペコンエミュレータ
- おまけ
 - 部門2
 - 部門3
 - 部門4

夏～秋の忙しい時期でこれまではシミュレーションの部には出場していなかったが、次ページで述べる理由で参加可能になったので参戦。

画面のレイアウトについて

主にメインの内容は上の枠、回路や測定の解説は右の枠、感想や設計当時考えていたことは下の枠に記述している。

[オペコン発表会でこのレイアウト](#)は2件目。

方針

ベイズ最適化

設計変数から性能を推測する代理モデルを作成し、そのモデルから獲得関数と呼ばれる関数を計算して最も有望な設計変数を導く最適化アルゴリズムである。

使用する代理モデルやLLMとの悪魔合体によって、アナログ回路の自動設計において近年最も注目を集めているアルゴリズムの一つである。

自動設計で楽しよう！！

任意の回路の最適化を自動化するプログラムを昨年、研究室内で公開しており、自動設計を研究していない学生でも自動設計できる環境を構築した。このプログラムはテストベンチ部分とアルゴリズム部分に分かれており、アルゴリズムについて造詣がなくても、回路シミュレーションを実行し、結果を取得するスクリプトさえ書けば、自動設計できる。

今回はコンテストで公開されているテストベンチとベイズ最適化の組み合わせを使用した。ローカル環境のシミュレータもHSPICEを使用したにもかかわらず、シミュレーション結果がコンテストシステムの結果と合わずに苦しんだ。

研究室内でオープンソースなので弊研究室の入賞者の多くが本プログラムを使用して参加した。

方針

ベイズ最適化

設計変数から性能を推測する代理モデルを作成し、そのモデルから獲得関数と呼ばれる関数を計算して最も有望な設計変数を導く最適化アルゴリズムである。

使用する代理モデルやLLMとの悪魔合体によって、アナログ回路の自動設計において近年最も注目を集めているアルゴリズムの一つである。

main.py

- ・各種設定
- ・テストベンチとアルゴリズムの読み出し
- ・結果保存

class Testbench

- ・シミュレーション実行
 - ・結果補正
 - ・評価計算
- ・結果書き出し

class Algorithm

- ・初期値決定
- ・設計空間探索

自動設計プログラムの概要

任意の回路の最適化を自動化するプログラムを昨年、研究室内で公開しており、自動設計を研究していない学生でも自動設計できる環境を構築した。このプログラムはテストベンチ部分とアルゴリズム部分に分かれており、アルゴリズムについて造詣がなくても、回路シミュレーションを実行し、結果を取得するスクリプトさえ書けば、自動設計できる。

今回はコンテストで公開されているテストベンチとベイズ最適化の組み合わせを使用した。ローカル環境のシミュレータもHSPICEを使用したにもかかわらず、シミュレーション結果がコンテストシステムの結果と合わずに苦しんだ。

研究室内でオープンソースなので弊研究室の入賞者の多くが本プログラムを使用して参加した。

部門 1

FoM (Figure of Merit)

日本語訳は「性能指標」で、複数の回路特性をトレードオフ関係を考慮してスカラー化したもの。

アナログ回路の論文を読んでも出てくるし、多くの最適化アルゴリズムではスカラー関数の最適化を前提とするので、自動設計では必須になる概念である。

$$FoM = \frac{\text{スルーレート} \times \text{同相入力範囲} \times \text{直流利得}}{\text{消費電流}}$$

昨年度との違いは直流利得の評価が真値になった点で、レギュレーションを考慮したときの値域はそれぞれ、

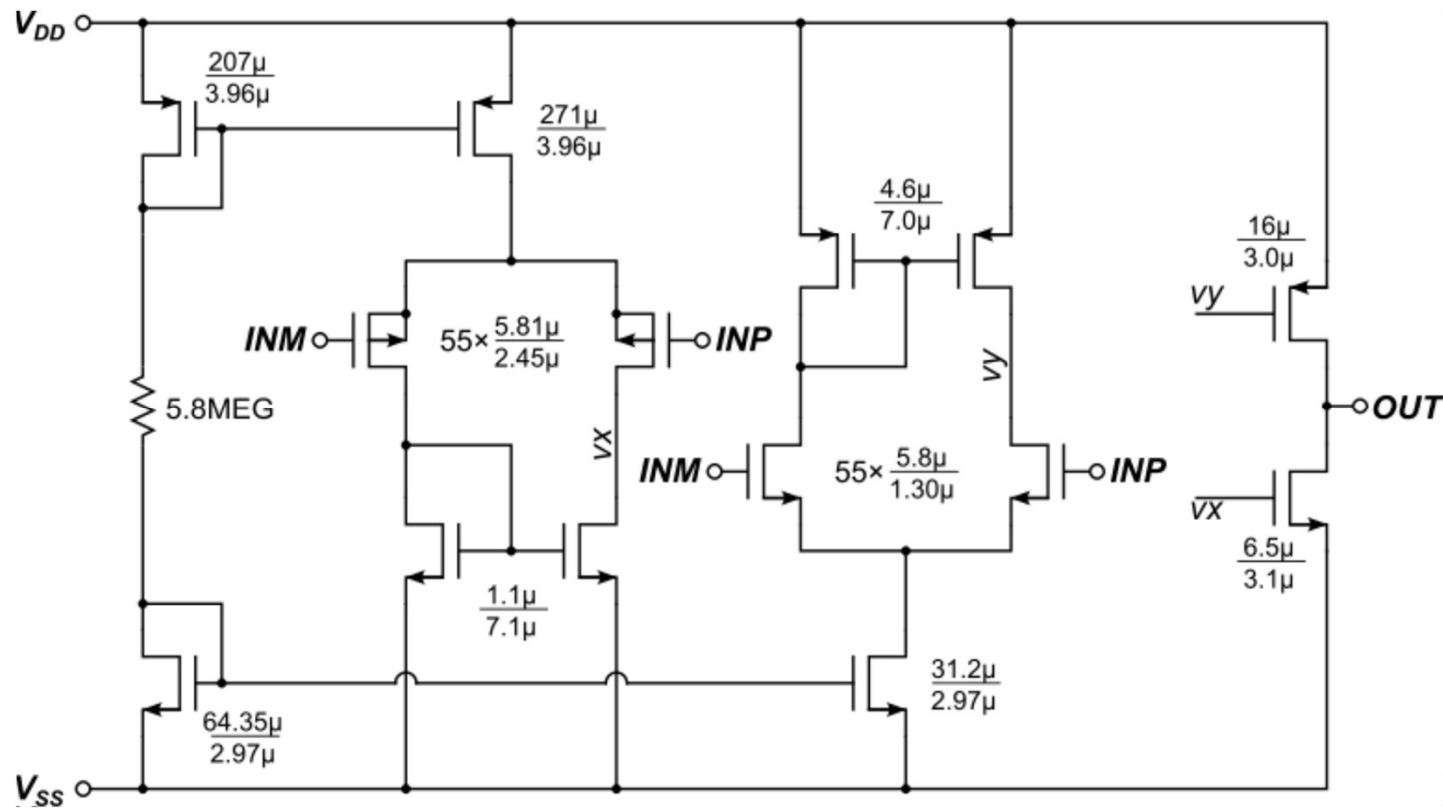
スルーレート: $10^5 \sim 10^{11}$ V/s、同相入力範囲: 5~100 %、直流利得: $10^2 \sim 10^9$ 、消費電流: $10^{-6} \sim 10^{-5}$

程度になる。直流利得の評価が真値になったことで、例年の設計に追加して直流利得をなるべく大きくすることが重要になる。

部門1 提出回路

部門1の超定番

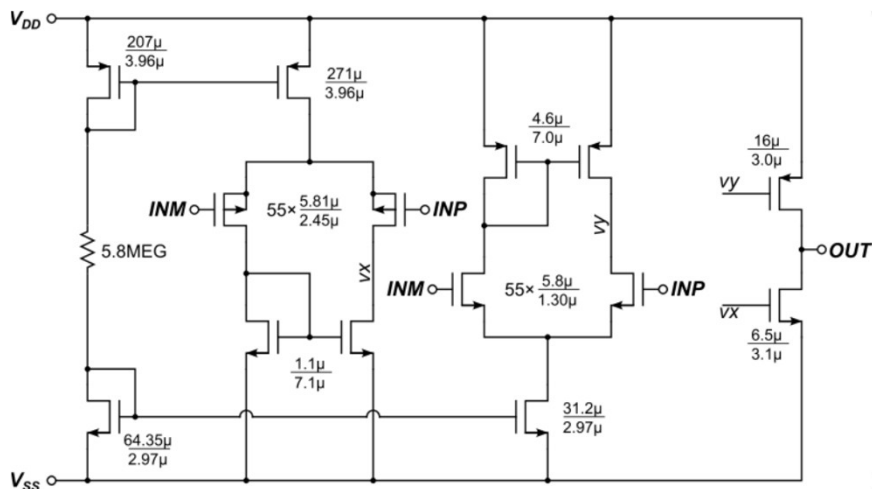
オペアンプに必要ないろいろな要素を全てかなぐり捨てて、高スルーレート、低消費電流に全ベットしたトポロジである。



部門1の超定番トポロジを使用した。

ベイズ最適化が見つけた設計を提出し、一部を人力で微調整した。

人力調整では出力段のMOSを可能な限り小さくして、初段が駆動する容量性負荷を極限まで削減した。また、入力差動対のサイズを調整し、直流利得を大きくした。



最後に提出した回路の解析結果

スコア	7.746e+25
電源電圧 (V)	3.000
消費電流 (A)	0.000002842
消費電力 (W)	0.000008525
出力抵抗 (Ohm)	1.372e+9
直流利得 (dB)	143.4
位相余裕 (deg)	45.42
利得帯域幅積 (Hz)	1.298e+6
入力換算雑音 (V)	0.007093
スルーレート (V/s)	1.481e+11
全高調波歪 (%)	0.4822
同相除去比 (dB)	93.45
電源電圧変動除去比 (dB)	93.04
同相入力範囲 (%)	100.0
出力電圧範囲 (%)	95.33
占有面積 (um^2)	2.554e+4
消費電流変動 (%)	14.25
最小同相入力振幅 (%)	50.00
最小出力電圧振幅 (%)	46.67

部門1 提出回路

評価結果

手元の結果と比較

項目	コンテスト	ローカル
スコア	7.746e+25	3.896e+23
DC Gain	143.4	94.38
Slew Rate	1.481e+11	2.115e+11
CMIR	100.0	100.00
消費電流	0.000002842	0.00000284

LやWが0.01 um変動しただけで特性が大きく変わる結果になった。

(おそらくモデルかテストベンチの穴をついた動作になっているので、ローカルと全然結果が合わない...)

でもいつも「そんなわけないやろ！」みたいな波形ですごく高いSRを達成していることが発表会で報告されているので、気にしないことにした。

ネットリスト入力 & 部門選択 & 結果表示

演算増幅器設計コンテスト シミュレーションの部 エミュレータ

部門: 部門3

ネットリス...

```
M10 N003 N003 vdd vdd cmosp l=1.60u w=15.79u
M11 N004 N003 vdd vdd cmosp l=1.60u w=15.79u
M12 N003 N002 N006 vss cmosn l=1.59u w=5.97u
M13 N004 B N006 vss cmosn l=1.59u w=5.97u
M14 N006 A vss vss cmosn l=1.56u w=5.99u

M15 out N004 vdd vdd cmosp l=1.59u w=48.98u
M16 out A vss vss cmosn l=1.56u w=10.33u

C1 out N004 1.0p

.ends opamp
```

☒ SR用Vp値設定(✓なし→Vp=0.1V固定)

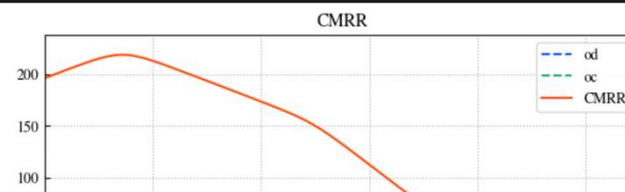
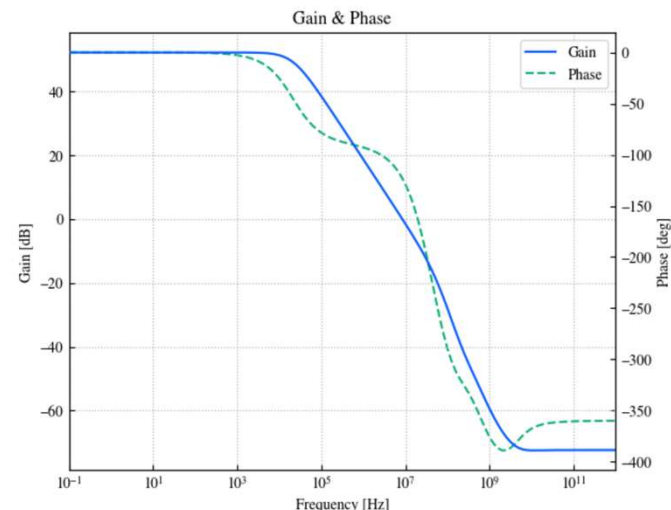
作品提出

ネットリスト書き出し中...
シミュレーション中...
シミュレーション完了

最後に提出した回路の解析結果

項目	値
スコア	4.065e+14
電源電圧(V)	3.000
消費電流(A)	0.00009967
消費電力(W)	0.0002990
出力抵抗(Ohm)	3.562e+05
直流利得(dB)	77.73

グラフ表示



オペコン エミュレータ

エミュレータの仕様

「ad、as、pd、psの自動設定」、「出力抵抗、直流利得の補正」、「スルーレート用振幅計算」、「結果表示」までを実行するプログラムをPython(jupyter notebook)で実装した。

シミュレーションの部で表示される非常に大きなFoMを見ていると脳を焼かれてしまい、募集期間終了後のドーパミン供給のためにローカルで実行可能なオペコンエミュレータを実装した。

内部的には自動設計で用いたテストベンチが走っているが、コンテストとは違い、グラフが表示されるため、少し便利。コンテストのサンプルプログラムが解説と実際のコードが異なったりして再現に苦労した。

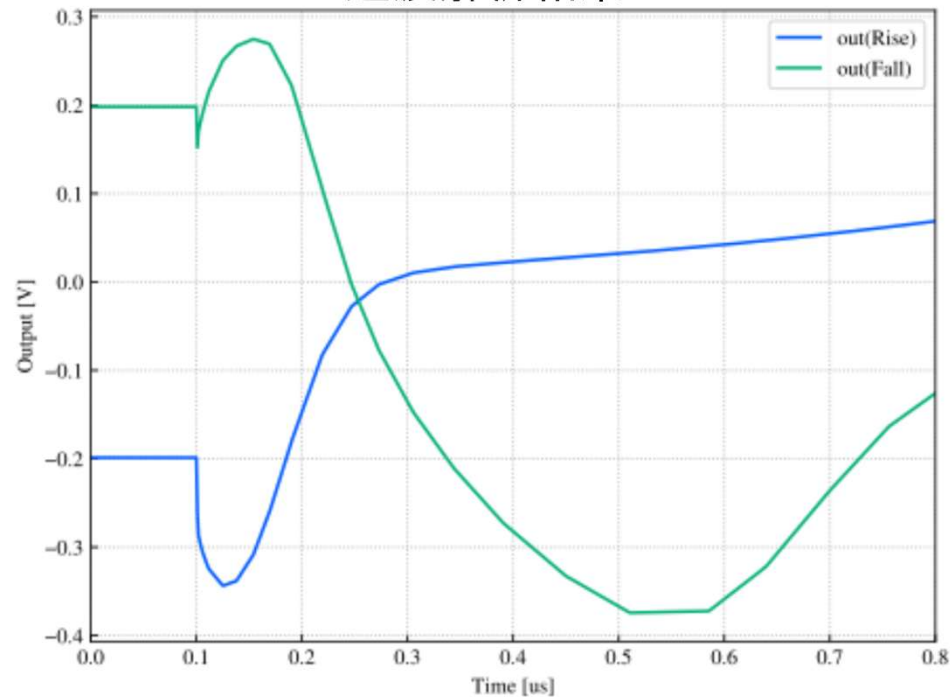
オペコン エミュレータ

コマンドの問題点

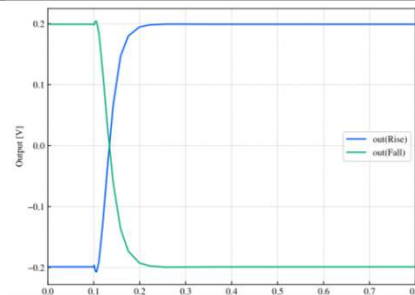
3箇所のSRの相加平均をとる構成になっているが、立ち上がり始めなどのわずかな変動時に非常に高いSRをとった場合、他の2条件のSRは無視される。

その結果、左図のような波形でもSRが高いと判定されていると考えられる。

過渡解析結果



まともな場合の波形 →



まとめ

シミュレーションの部の全部門で入賞でき嬉しかったです。

ただ、3年間挑戦してきた試作の部で結果を残せなかったことが悔やまれます。

- 部門1

- 自動設計の活用で首位を獲得できた
- その他の部門についても多少の設計の知識と自動設計の組み合わせで、入賞することができた

- オペコンエミュレータ

- コンテストサイトと結果が合わず苦戦した
- 設計によっては結果が合致するので、プログラムのミスではないが、原因の特定には至らなかった

～ 謝辞 ～

大会運営に関わられた皆様・協賛企業の皆様に御礼申し上げます

他部門

- 部門2
- 部門3
- 部門4

部門2

部門2のFoM

昨年度と同じ評価式。この部門のFoMはかなり昔（少なくとも2016年）から変更されていない秘伝のタレ状態になっている。これまで歴代の参加者たちの人海戦術で設計がされ尽くしているような状態であり、自動設計が入り込む余地があまりないかもしれない...

$$FoM = \frac{\text{利得帯域幅積} \times \text{位相余裕}}{\text{消費電力}^2 \times \text{出力抵抗} \times \text{入力換算雑音}}$$

2024年度 2位: 1.0543×10^{20} 、1位: 1.075×10^{20}

2022年度 2位: 1.13945×10^{20} 、1位: 2.57678×10^{21}

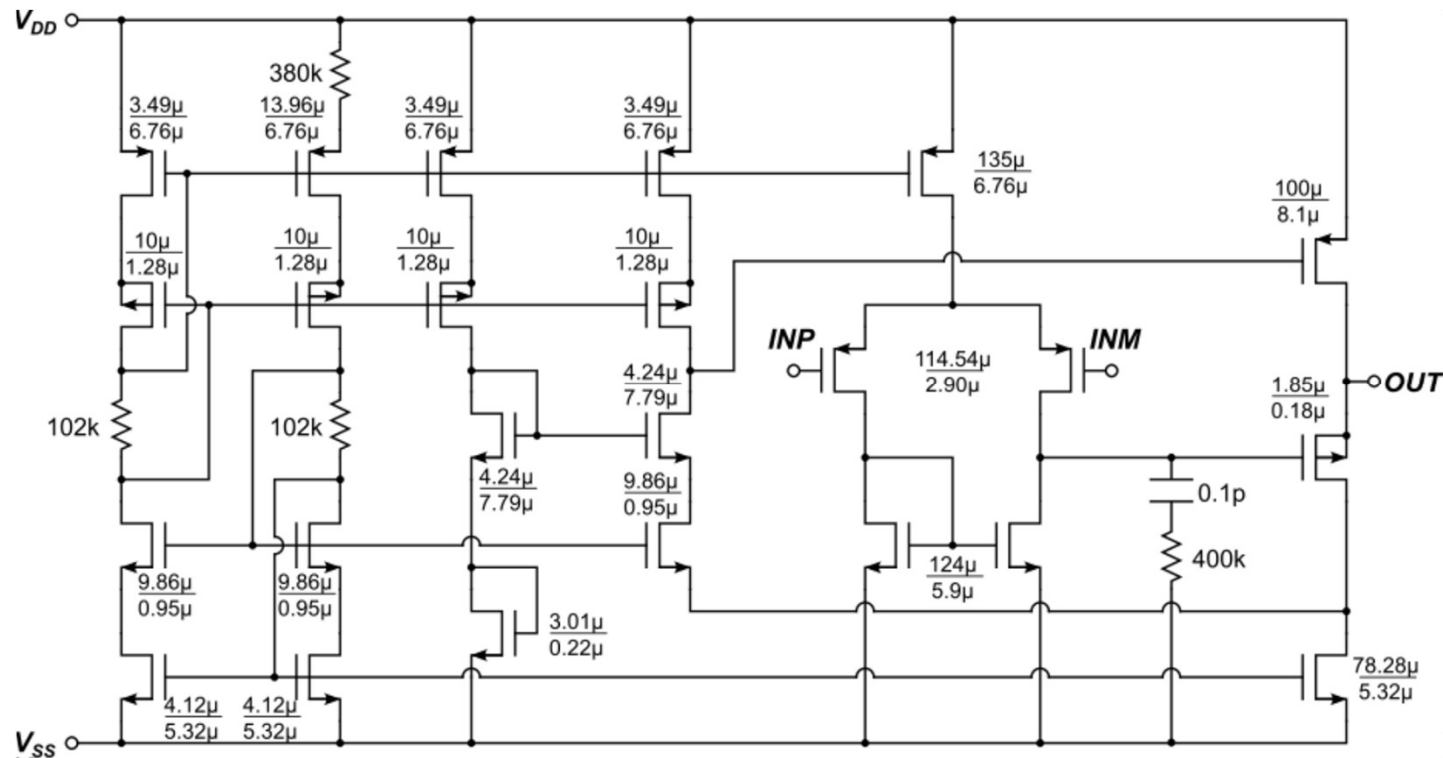
2022年度 2位: 7.5089×10^{20} 、1位: 1.4632×10^{22}

今年度も同じFoMであることを考えると、ここからさらにスコアを伸ばす必要がある。

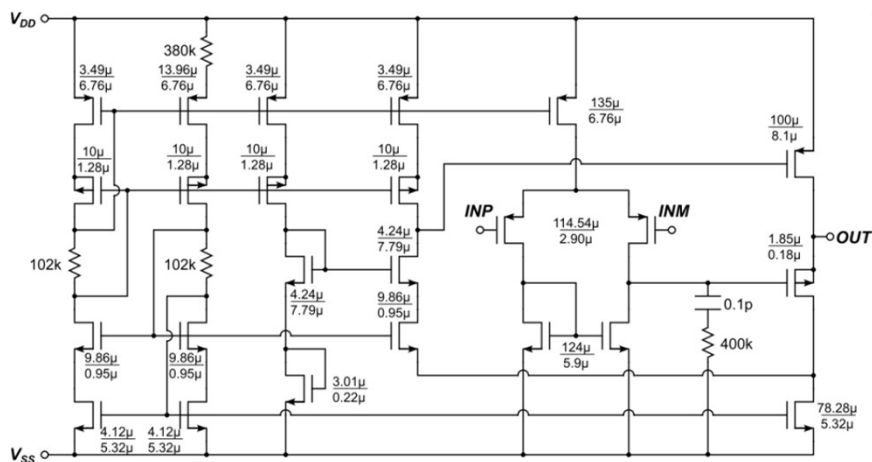
部門2 提出回路

Flipped Voltage Follower (FVF)

出力抵抗を下げてくれる出力バッファ。以前コンテストで使用されていたのはAB級FVFで今回はAB級動作のMOSを削除した。



昨年度の部門2首位作品、PMOS入力の差動増幅回路 + Cascoded Flipped Voltage Follower の構成を使用。FVFのAB級動作のMOSを使用しないことで初段が駆動する容量負荷を減らし、帯域幅を広くすることを目指した。



スコア	4.146e+20
電源電圧 (V)	1.390
消費電流 (A)	0.000009587
消費電力 (W)	0.00001333
出力抵抗 (Ohm)	5.118
直流利得 (dB)	40.03
位相余裕 (deg)	58.57
利得帯域幅積 (Hz)	5.473e+6
入力換算雑音 (V)	0.0008504
スルーレート (V/s)	7.590e+6
全高調波歪 (%)	0.9750
同相除去比 (dB)	84.75
電源電圧変動除去比 (dB)	40.01
同相入力範囲 (%)	97.84
出力電圧範囲 (%)	52.52
占有面積 (um^2)	8958
消費電流変動 (%)	20.34
最小同相入力振幅 (%)	47.84
最小出力電圧振幅 (%)	4.316

部門2 提出回路

評価結果

手元の結果と比較

項目	コンテスト	ローカル
スコア	4.146e+20	3.974e+21
GBW	5.473e+6	5.504e+6
PM	58.57	58.48
Power	0.00001333	0.0000133
Z _O	5.118	0.5363
IRN	0.0008504	0.000850

今回使用したトポロジとほぼ同一トポロジの昨年度首位作品の4倍のスコアを達成したものの順位は4位になった。
コンテストのレギュレーションに対しては過剰なバイアス回路など、まだまだ性能を突き詰める余地があった。

部門3

$$FoM = \frac{\text{電源電圧変動除去比} \times \text{同相除去比}}{\text{電源電圧}}$$

部門3のFoM

PSRR→バイアス回路

CMRR→完全差動、CMFB

などの工夫が見られる部門

今年度は分母から直流利得が除かれ、純粋にPSRRとCMRRをあげるのみの部門になった。

性能項目間のトレードオフが完全に破壊されており、

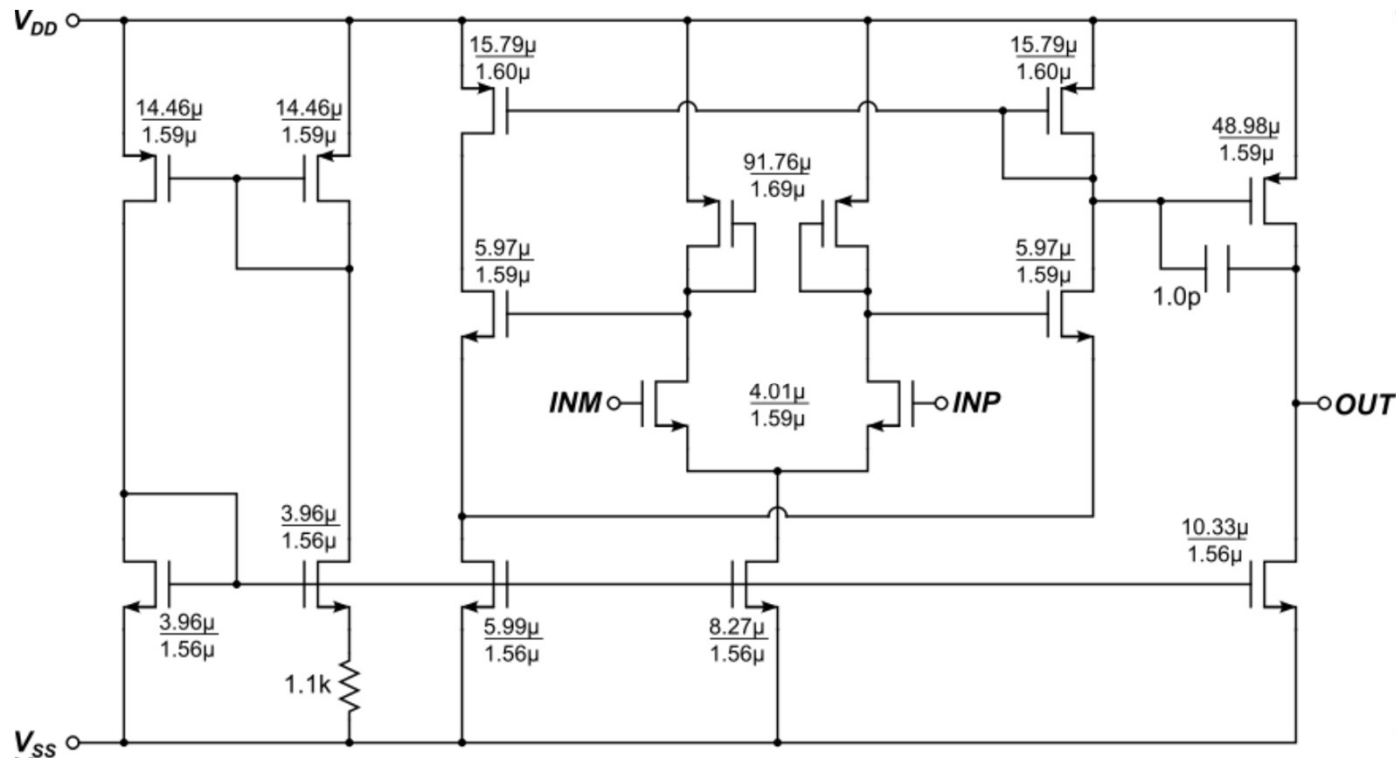
この部門で提出される回路はFoMが高くなるパラメータ範囲が極端に限られており、大域的な探索とは相性が悪い。今回はBOのパラメータ範囲を絞り込んで探索をした。

部門3 提出回路

完全差動アンプ

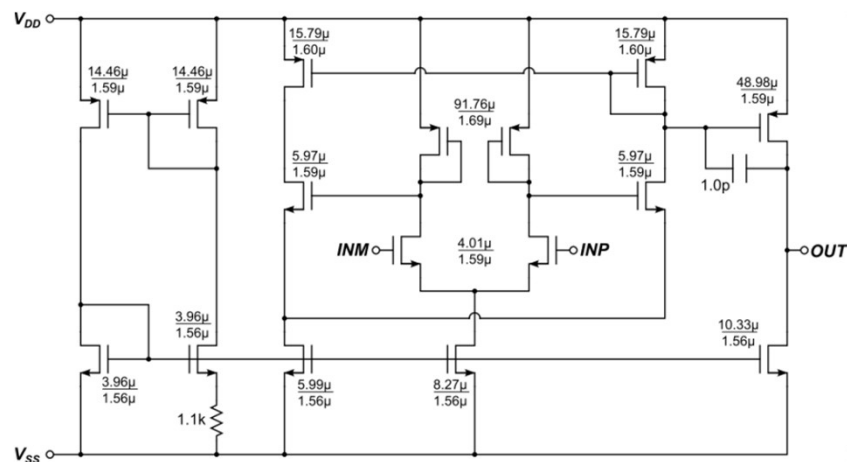
Razavi先生が Design of Analog CMOS Integrated Circuits でめっちゃおすすめしてくる方式。

入出力が差動なので、コンテストの形式に合わせるためにシングルエンド変換が必要。



昨年度の部門3 第2位作品、電源電圧不感バイアス + 完全差動増幅回路 + 差動増幅回路 + ソース接地増幅回路 の構成を使用。電源電圧変動に強いバイアスと同相除去能力の高い完全差動アンプの組み合わせでスコア向上を目指す回路である。

ローカル環境だとCMFBを使った回路の過渡解析が収束せず断念した。



最後に提出した回路の解析結果

スコア	4.080e+14
電源電圧 (V)	3.000
消費電流 (A)	0.00009967
消費電力 (W)	0.0002990
出力抵抗 (Ohm)	3.557e+5
直流利得 (dB)	77.72
位相余裕 (deg)	56.94
利得帯域幅積 (Hz)	8.490e+6
入力換算雑音 (V)	0.005352
スルーレート (V/s)	7.777e+6
全高調波歪 (%)	0.4823
同相除去比 (dB)	218.6
電源電圧変動除去比 (dB)	83.11
同相入力範囲 (%)	100.0
出力電圧範囲 (%)	71.67
占有面積 (um^2)	1985
消費電流変動 (%)	28.00
最小同相入力振幅 (%)	50.00
最小出力電圧振幅 (%)	21.67

部門3 提出回路

評価結果

手元の結果と比較

項目	コンテスト	ローカル
スコア	4.080e+14	4.065e+14
電源電圧	3.000	3.000
CMRR	218.6	218.61
PSRR	83.11	83.11

部門1と同じく、どのパラメータも少し変えただけでFoMが大幅に低下する。

特にCMRRが素子値に対して非常に高い感度を持っている。

部門4

$$FoM = \frac{1}{\text{消費電力}}$$

部門4のFoM
消費電力の一点

(余談)

今年度の試作の部にはPVTコーナーを36コーナー(4×3×3)を降った自動設計で挑んだ。

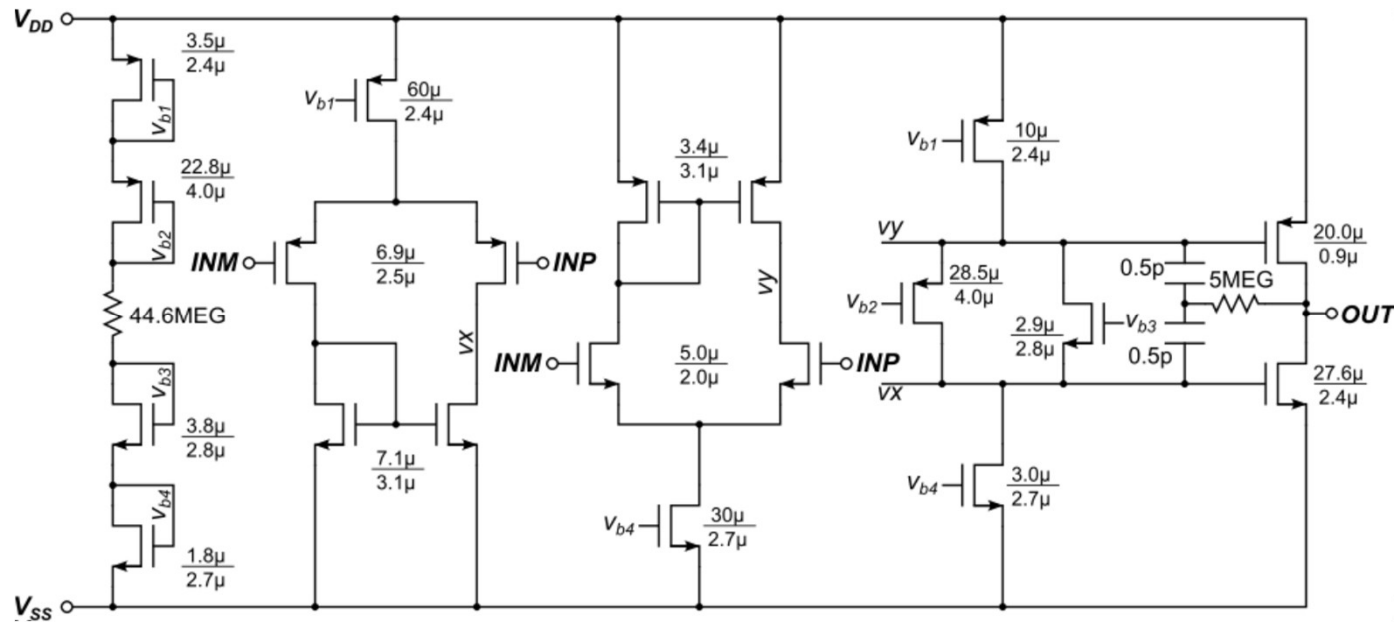
プロセスコーナーに対して歩留まり70%くらいになるようなパラメータで設計・提出した。

設計したチップは手元の環境では例年の入賞圏内の性能で動作したが、コンテスト側の環境で動作しなかった or 審査段階で落選になったと考えられる。

部門4 提出回路

いつもの

NMOS入力とPMOS入力の差動増幅回路にAB級プッシュプルをつけたトポロジ。位相補償用素子のヴァリエーションがたくさん見かけられるが、今回はミラー効果を使う形で。



散々使われているトポロジで書くことがそんなにない...

今回はレイアウト度外視で要件を満たすパラメータを発見するまでBOで探索させた。

部門4 提出回路

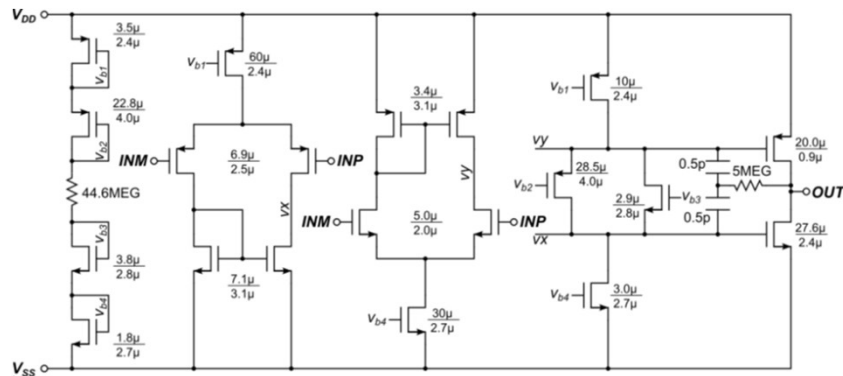
評価結果

手元の結果と比較

項目	コンテスト	ローカル
スコア	4.280e+4	2.299e+4
直流利得	43.27	41.09
位相余裕	50.65	46.69
SR	1.152e+6	1.159e+6
THD	0.09622	0.0997
帯域幅	1.057e+5	2.379e+5
オフセット	0.02388	-0.03

最後に提出した回路の解析結果

スコア	4.280e+4
電源電圧 (V)	5.000
消費電流 (A)	0.000004673
消費電力 (W)	0.00002336
直流利得 (dB)	43.27
位相余裕 (deg)	50.65
スルーレート (V/s)	1.152e+6
全高調波歪 (%)	0.09622
帯域幅 (Hz)	1.057e+5
入力電圧振幅 (V)	0.6000
オフセット電圧 (V)	0.02388
占有面積 (um^2)	2.000e+5



手元のシミュレーションと結果があまりにも合わない...



2025年度演算増幅器設計コンテスト

部門1 2位

部門2 1位

部門3 1位

部門4 5位

佐賀大学大学院 理工学研究科

通信工学研究室

修士2年 待鳥維吹



目次

- 部門2

- 設計方針

- 回路構成

- シミュレーション結果

- 最終スコア

- 部門3

- 設計方針

- 回路構成

- シミュレーション結果

- 最終スコア

- まとめ&感想

部門2

部門2 設計方針

- 部門2の評価式

$$\text{得点} = \frac{\text{利得帯域幅積} \times \text{位相余裕}}{(\text{消費電力})^2 \times \text{出力抵抗} \times \text{入力換算雑音}}$$

- 過去の上位入賞作品の傾向

消費電力と出力抵抗を小さくしてスコアを稼ぐ

➡ バイアス電流を絞る & 電源電圧を低く

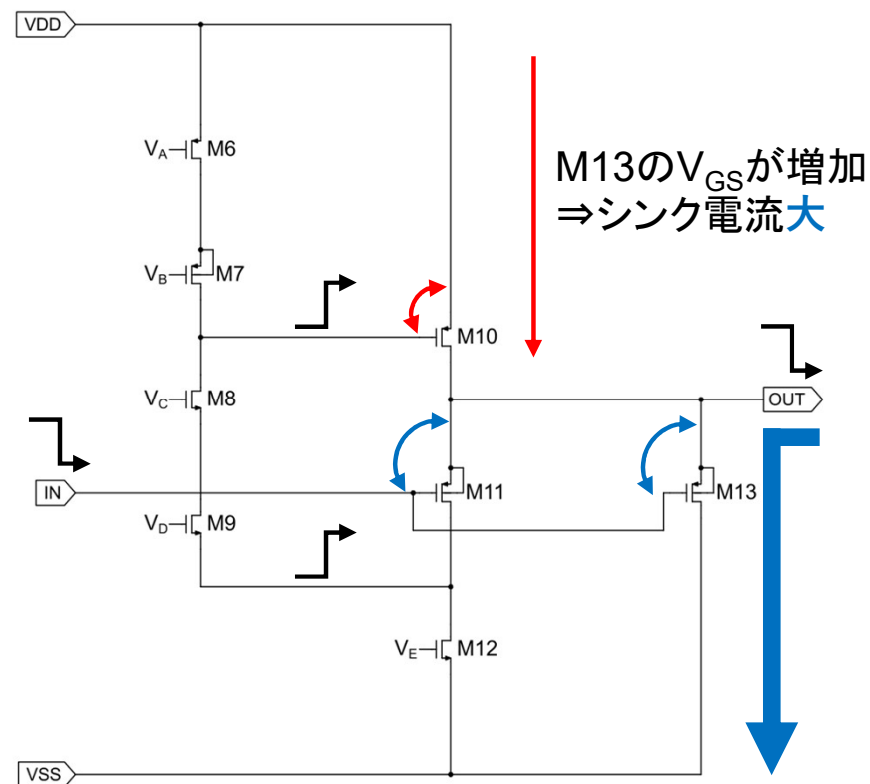
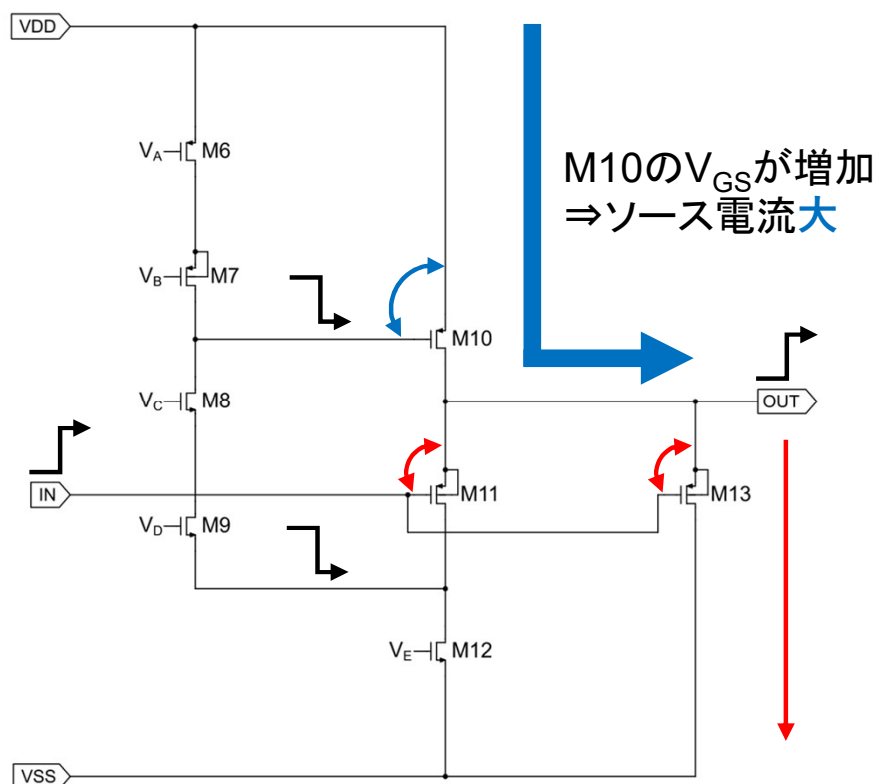
➡ SSFやFVFに帰還をかけて低出力抵抗に

昨年の提出回路を流用 (PMOS入力差動対 + FVF)

パラメータの再検討 & マージンの削減でスコア上昇を狙う

部門2 設計方針

- 出力段 (Cascode Flipped Voltage Follower [1])



右下のPMOSで立下り時の出力電流の制限を回避

➡ 出力段に流すバイアス電流を絞れる

部門2 設計方針

基準電流を削減 & 差動対と出力段に流す電流量も削減

- 差動対の入力デバイス

電流を絞ると利得帯域幅積と入力換算雑音は悪化

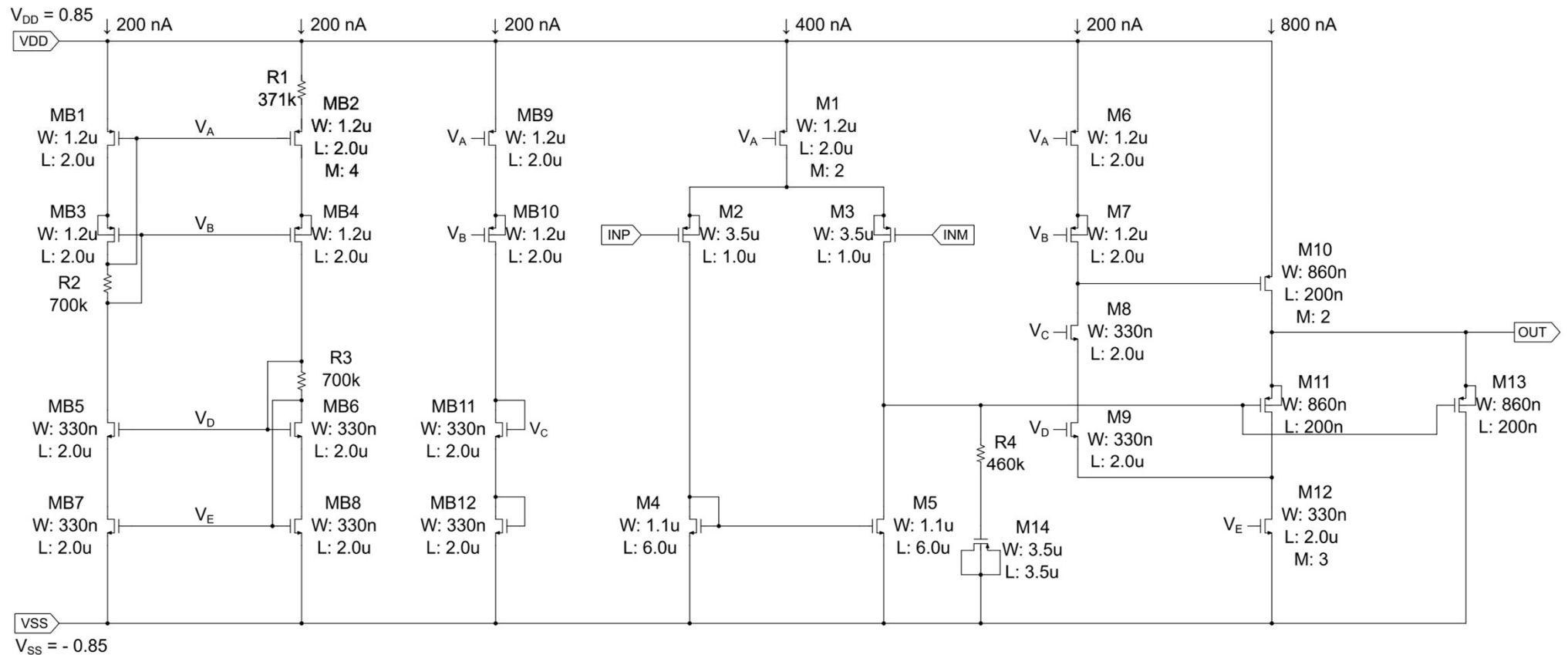
➡オーバードライブ電圧を小さくして g_m の低下を少しでも抑える

- 位相補償容量

位相補償容量を小さくしたいが使える容量の最小値は100fF

➡MOSFETを使って100fF以下の容量を実現

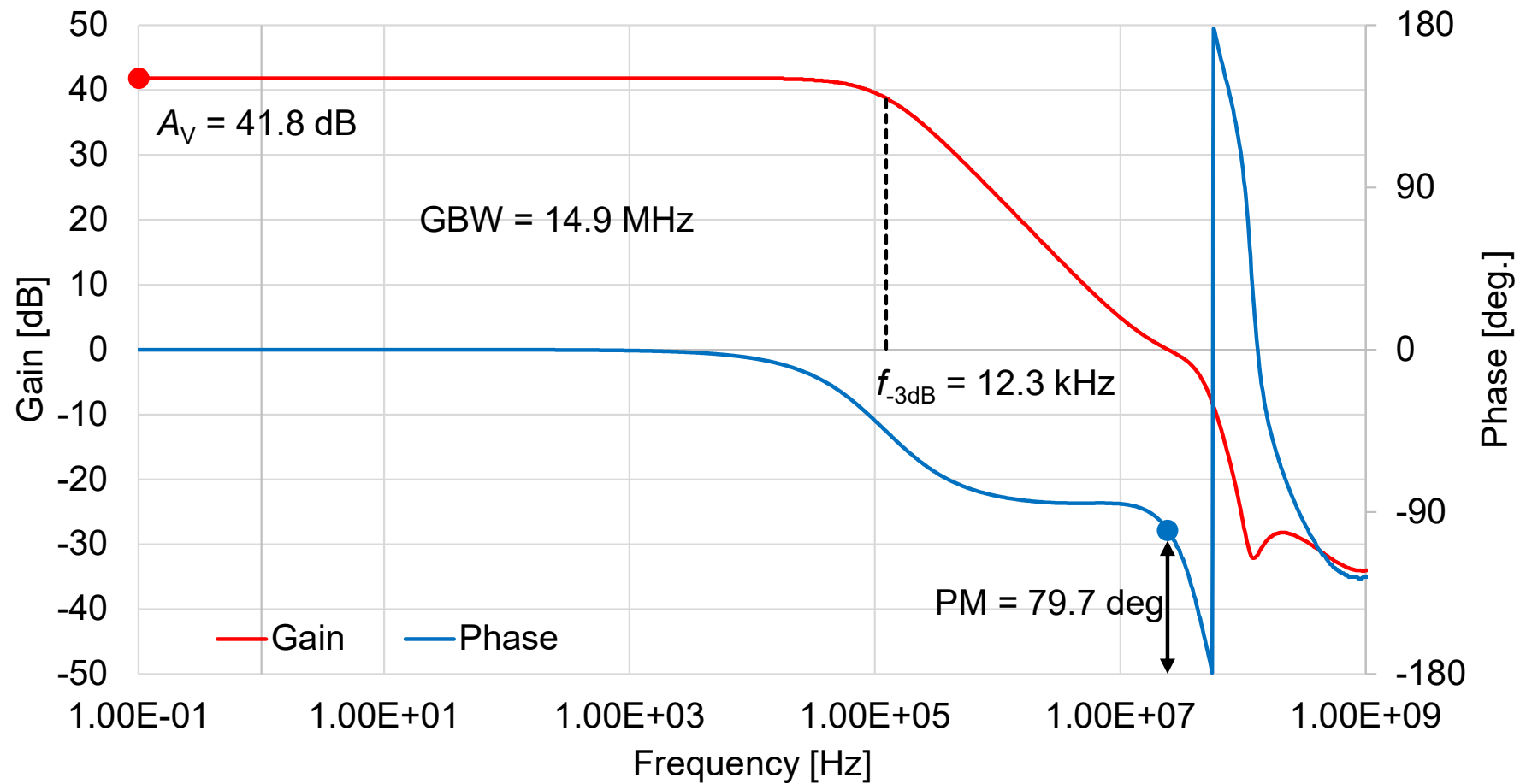
部門2 回路構成



- 電源電圧1.7 V
- 消費電流は去年の半分以下 ($5.5\mu\text{A} \Rightarrow 2.0\mu\text{A}$)
- カレントミラーを構成するMOSのチャネル長は大きめに

部門2 シミュレーション結果

- 利得帯域幅積 & 位相余裕



部門2 シミュレーション結果

- 消費電流 & 消費電力

	$0.9 \times V_{DD}$	V_{DD}	$1.1 \times V_{DD}$
-40 °C	1.62 μ A	1.63 μ A	1.63 μ A
25 °C	2.02 μ A	2.03 μ A	2.04 μ A
80 °C	2.40 μ A	2.41 μ A	2.41 μ A

- 電源電圧1.7 V, 温度25 °Cのとき消費電流は2.03 μ A
温度, 電源電圧の変化による消費電流変動率は最大約21 %
➡要件である変動率50 %以下を満たしている
- 消費電力は, $1.7 \text{ V} \times 2.03 \text{ } \mu\text{A} = 3.45 \text{ } \mu\text{W}$

部門2 最終スコア

	2024年	2025年
消費電力	9.56 μ W	3.57 μ W
出力抵抗	6.81 Ω	6.80 Ω
入力換算雑音	3.26 mV	4.60 mV
利得帯域幅積	2.96 MHz	13.8 MHz
位相余裕	73.7 deg	68.7 deg
最終スコア	1.075e+20	2.385e+21

- 電流を絞った影響で入力換算雑音は悪化
- 消費電力と利得帯域幅積を改善してスコアは約20倍に伸びた
➡昨年が続いて1位を取れた!!
- 入力換算雑音でスコアを稼ぐような構成を考えたかった

部門3

部門3 設計方針

- 部門3の評価式

$$\text{得点} = \frac{\text{電源電圧変動除去比} \times \text{同相除去比}}{\text{電源電圧}}$$

- 過去の上位入賞作品の傾向

dBではなく真値で評価される & 分母に直流利得が入っていた

➡CMRRで差がつく & PSRRは40～80dB程度の作品が多い

今年から分母の直流利得が消えた!!

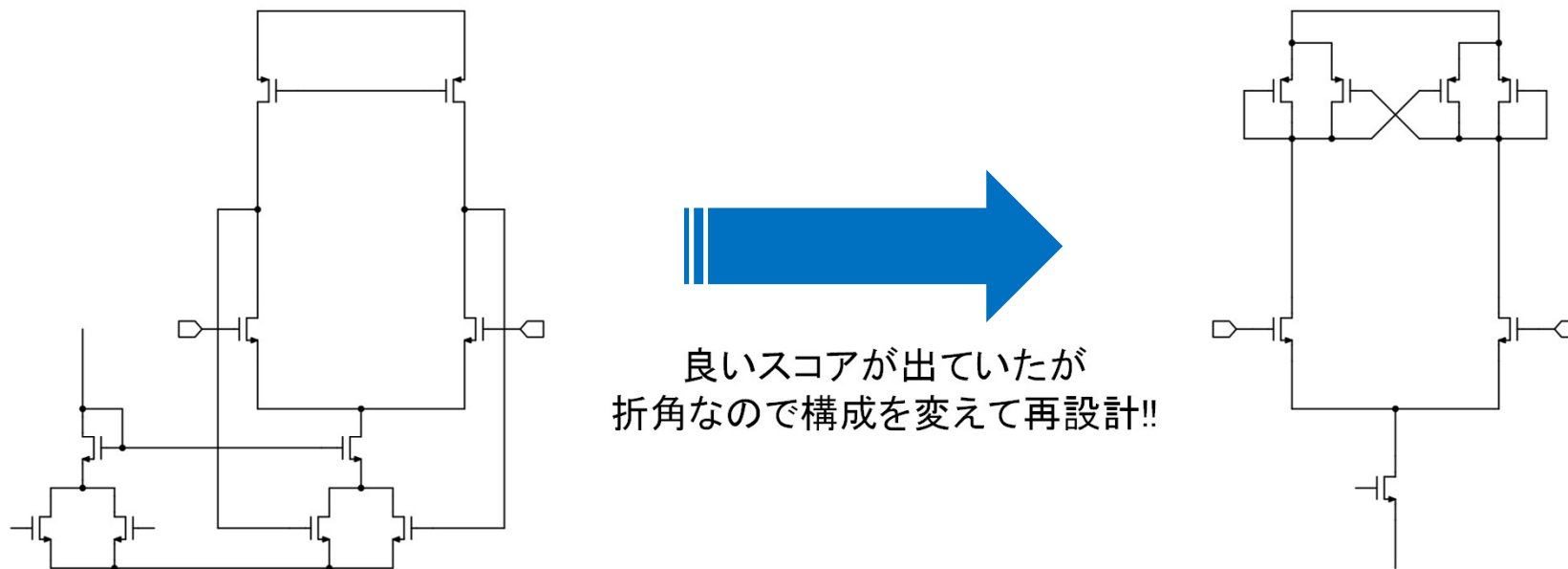
PSRRとCMRRの両方を稼ぐ必要があるので回路構成から検討

部門3 設計方針

- 過去の上位入賞作品の構成

ダイオード接続負荷を使った差動対が多く使われている

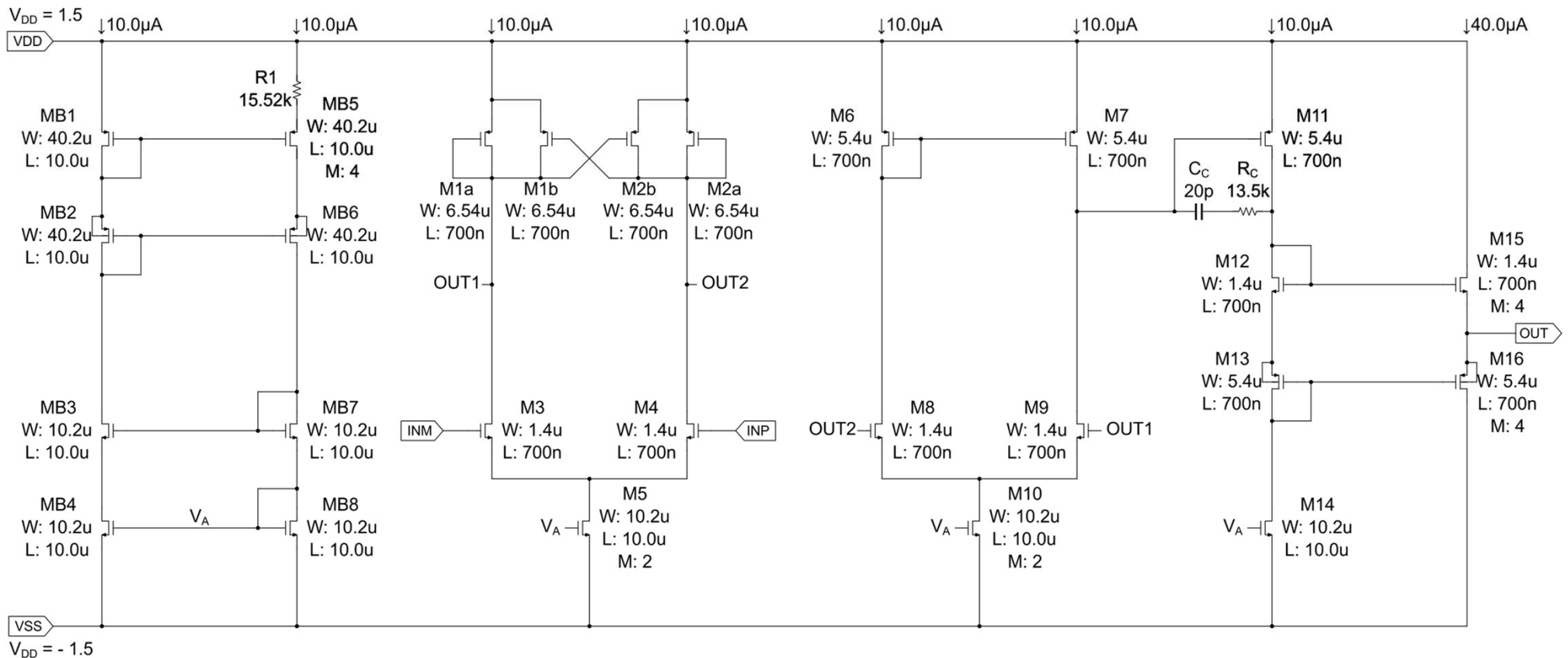
➡PSRRを稼ぐためにも別の方法で構成したい



締切が伸びた & 過去の発表資料に面白い構成が紹介されていた

➡正帰還補償したダイオード接続負荷を使って設計してみる

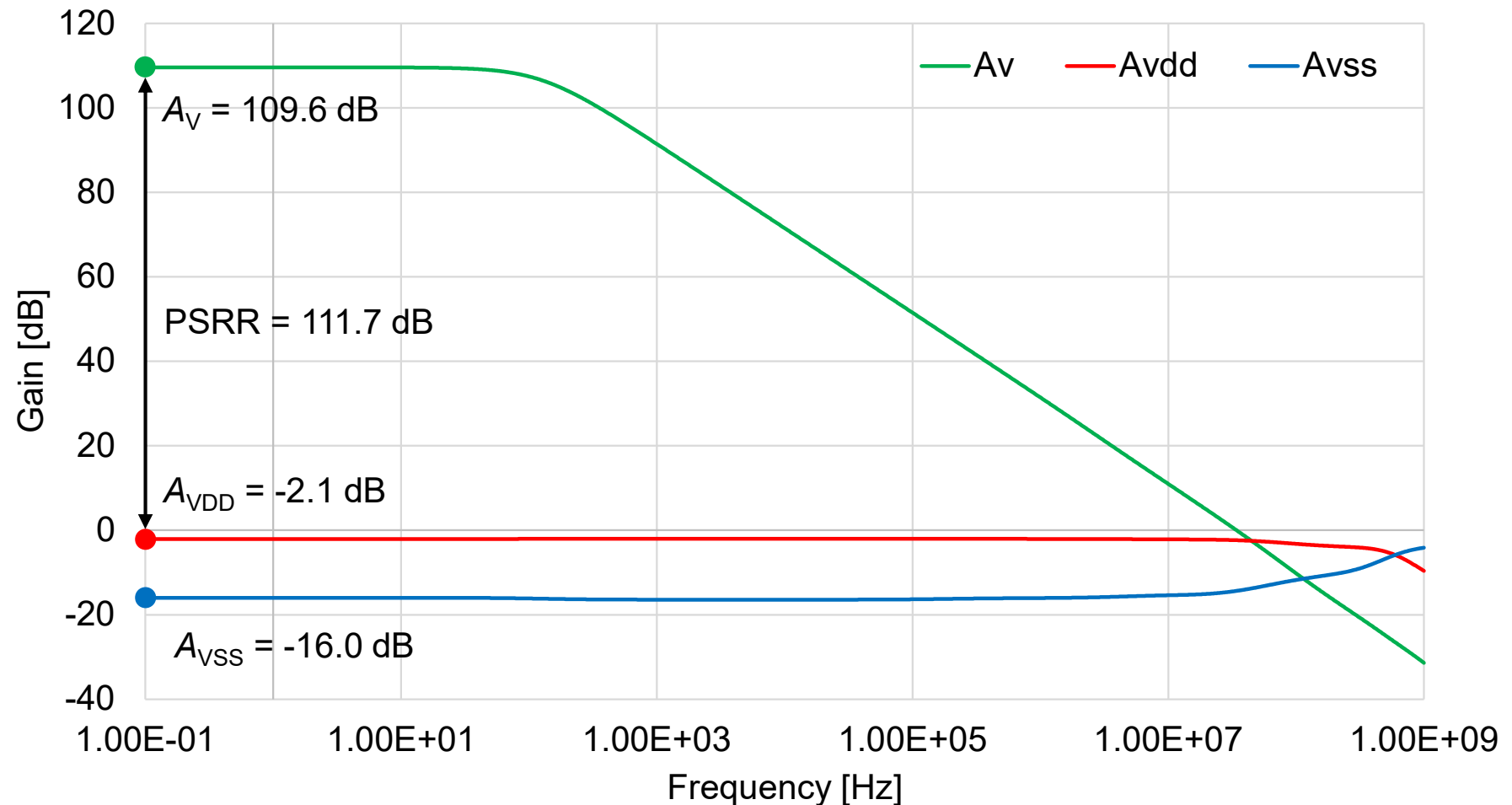
部門3 回路構成



- 差動対2段でPSRRとCMRRを稼ぐ
- テール電流源のMOSはチャネル長を大きく
- 出力段はソースフォロワ型のAB級バッファ

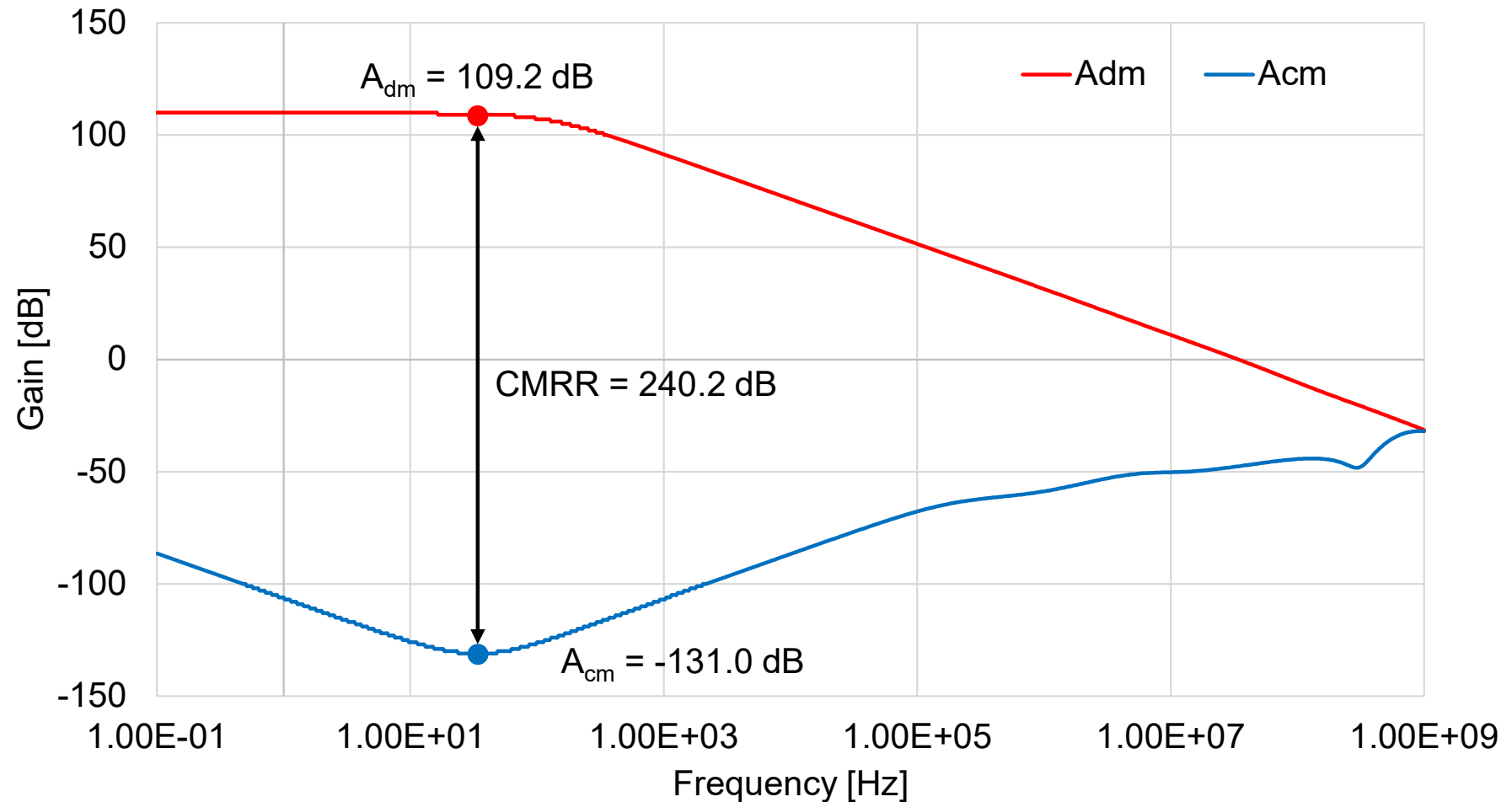
部門3 シミュレーション結果

- 電源電圧変動除去比



部門3 シミュレーション結果

- 同相除去比



部門3 最終スコア

	2024年	2025年
電源電圧変動除去比	74.55 dB	111.7 dB
同相除去比	191.1 dB	240.2 dB
電源電圧	1.8 V	3.0 V
最終スコア		1.303e+17

- 高PSRR & 高CMRRを達成
 - ➡ 昨年よりPSRRは約40dB, CMRRは約50dB改善できた
- テール電流源は低電圧カスコードを使えば良かった
- CMFBを使う回路が面白いのもっと勉強したい

まとめ・感想

- 例年より締切直前でのスコアのインフレが激しい？
短い時間の中で設計を詰める必要があって面白かった
- 試作部門で発振させてしまったのが本当に悔しい
知識不足を実感. 学習のモチベーションに繋がった
- 4年間発表会に参加できて楽しかった!!
設計に関する知識が増えた&他大学の友人も増えた
- アナログIC設計に携わる仕事へ!! 設計技術を磨いていきたい

謝辞

このような貴重な機会を与えてくださった
コンテスト運営及び審査委員の皆様と
協賛企業の皆様に深く感謝を申し上げます



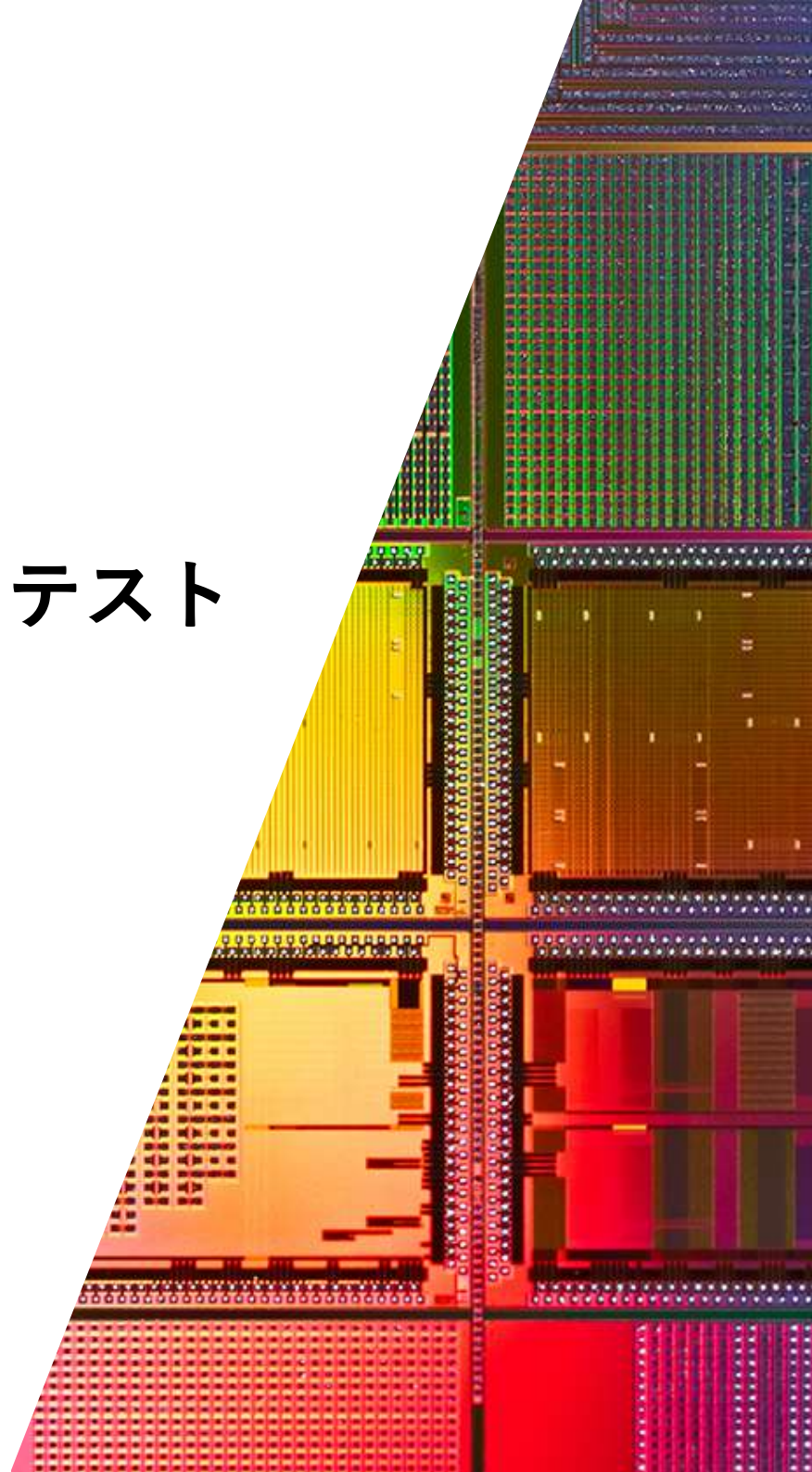
宮崎大学
University of Miyazaki

2025年度 演算増幅器設計コンテスト 試作の部 3位

2026年 1月 16日

宮崎大学大学院 工学研究科 工学専攻 修士2年
淡野研究室

井上 拓也



目次

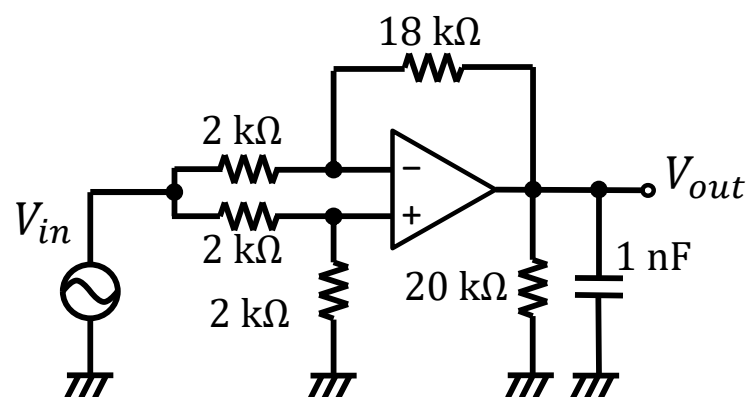
- 試作の部 概要
- 設計目標
- 設計方針
- 回路図、設計値
- シミュレーション結果
- マスクレイアウト
- 実測結果
- 考察
- まとめ・感想

2025年度試作の部 概要

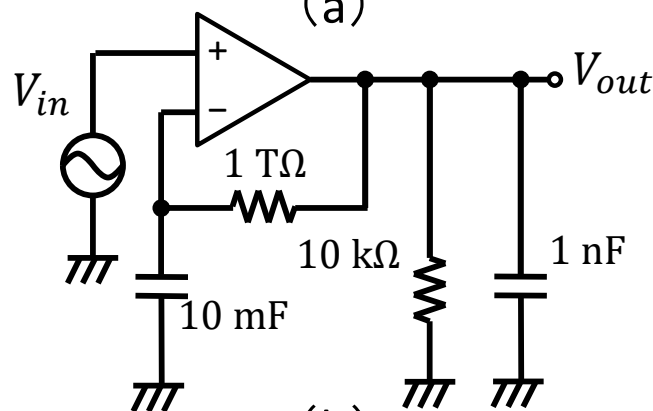
評価項目

利得 -4 倍の反転増幅回路における低消費電力化を競う

評価回路



(a)



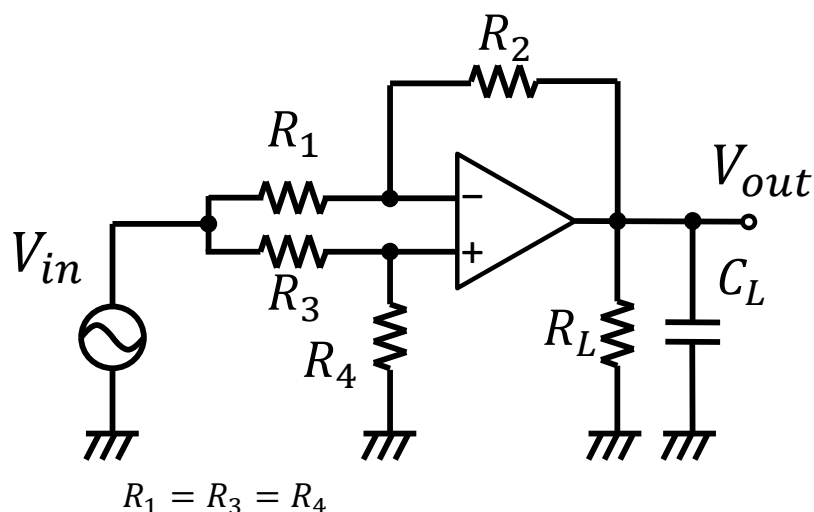
(b)

設計要件

項目	要件	備考
電源電圧	5 V	固定
直流利得	40 dB 以上	評価回路(b)
位相余裕	45 度 以上	評価回路(b), 負荷容量 $\pm 10\%$ 変動
帯域幅	20 kHz 以上	評価回路(a)
出力オフセット電圧	± 100 mV 以下	評価回路(a)
入力電圧範囲	± 100 mV 以上	評価回路(a)
スルーレート	± 1 V/ μ s 以上	評価回路(a)
全高調波歪	0.1 % 以下	入力: 1kHz, 振幅 1mV, DCオフセット 0V, 評価回路(a)
占有面積	0.2 mm ² 以内	

昨年度との比較

- 評価回路(b)



	R_1 [k Ω]	R_2 [k Ω]	R_L [k Ω]	C_L [nF]
昨年度	10	210	20	1
今年度	2	18	20	1

昨年度: 利得-10倍



今年度: 利得 -4倍

■ 緩くなった条件

利得が-10倍から-4倍に変更

入力電圧範囲は狭めでもOK

■ 厳しくなった条件

帰還抵抗の抵抗値が減少

必要な帰還電流が増加したため、
更なる電流吐き出し能力が必要

設計目標

- 昨年度の結果

特性	Sim.値	実測値						
		CHIP1	CHIP2	CHIP3	CHIP4	CHIP5	CHIP6	平均
消費電流 [μA]	10.21	19.12	18.87	24.44	21.74	16.70	21.62	20.42
帯域幅 [kHz]	49.44	184.5	186.1	183.0	184.5	178.4	189.3	184.3
出力OS電圧 [mV]	0.161	-132.6	-75.7	-242.7	94.4	-16.7	-182.9	-92.7
入力電圧範囲 [mV]	253	230	230	210	225	240	210	224
スルーレート [$\text{V}/\mu\text{s}$]	1.21	1.04	1.13	1.10	1.10	1.04	1.09	1.09

Sim.結果よりも結果が悪く、チップによるばらつきが大きくなってしまった。



設計目標

昨年度より、結果のばらつきおよび消費電流を小さくする

設計方針

昨年度の反省点

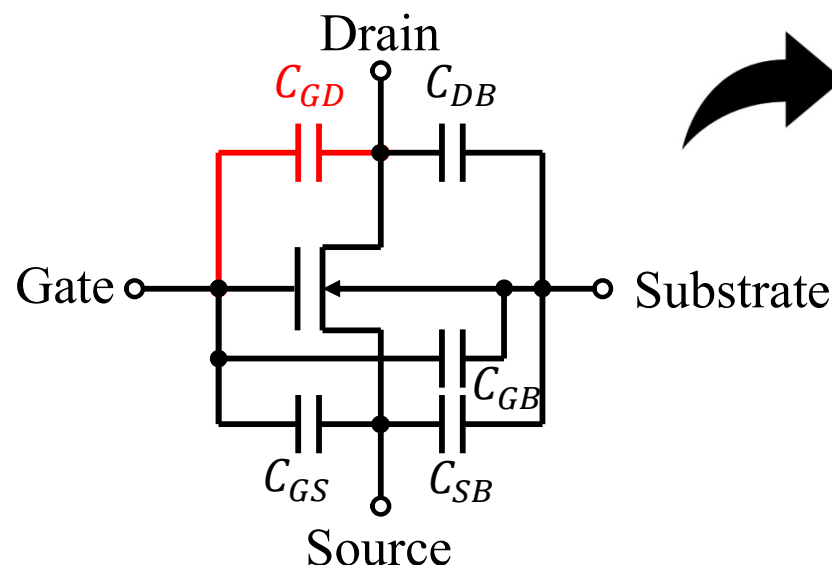
- MOSの寄生容量や過剰な利得により、位相補償容量が大きくなってしまった。
- 差動対のマッチングを考慮した設計ができていなかった。
- バイアス部の抵抗値が大きく、抵抗のばらつきによる影響を受けてしまった。

設計方針

- ① MOSの寄生容量、利得を考慮した設計
- ② ばらつきの論理式を用いた設計
- ③ バイアスの抵抗値を小さくする

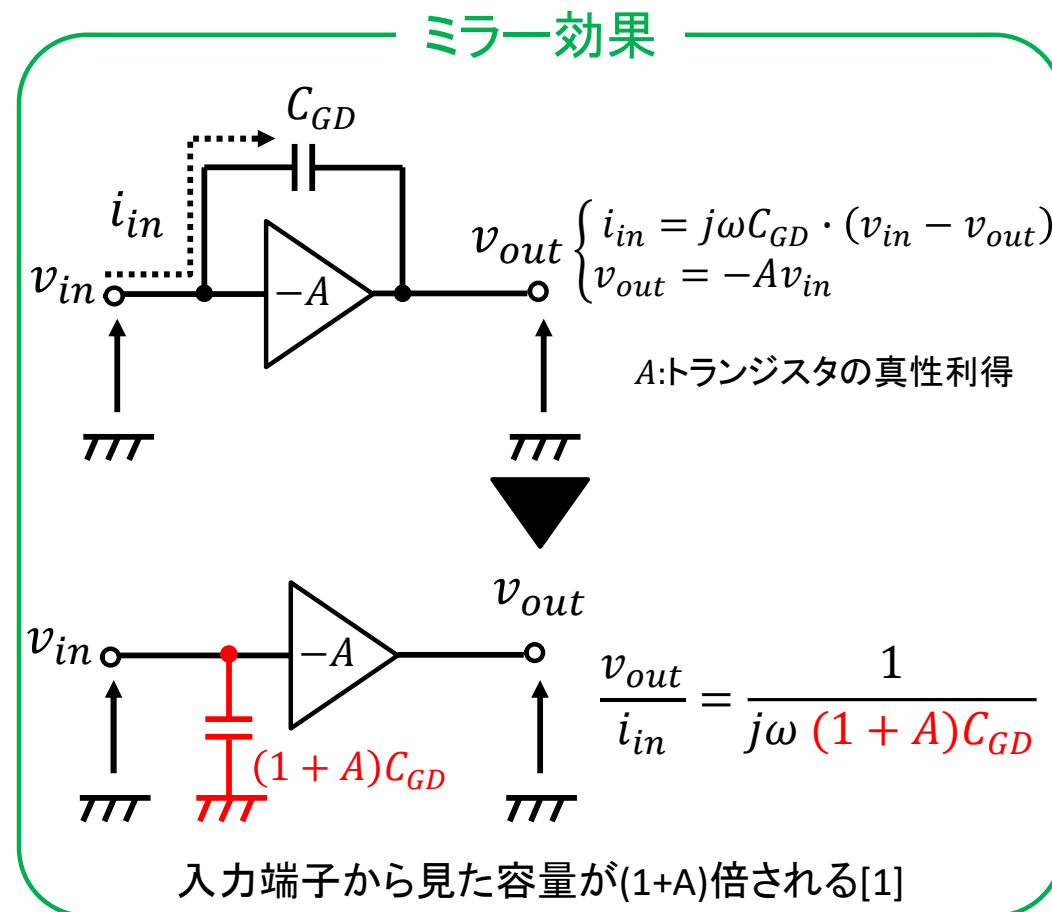
設計方針①MOSトランジスタの寄生容量

- NMOSトランジスタの寄生容量



ゲート-ドレイン間容量 $C_{GD} = \frac{\varepsilon_{ox} \cdot L_{ov}}{T_{ox}} \cdot W$

L_{ov} : オーバーラップ長



C_{GD} はミラー効果で見かけ上大くなるため、影響も大きい

⇒ 信号増幅部におけるMOSのWを小さく設計

⇒ 利得は40 dBぎりぎり設計

[1] 吉澤 浩和, “CMOS OP アンプ回路 実務設計の基礎”, CQ出版, pp. 114-115, 2017年4月.

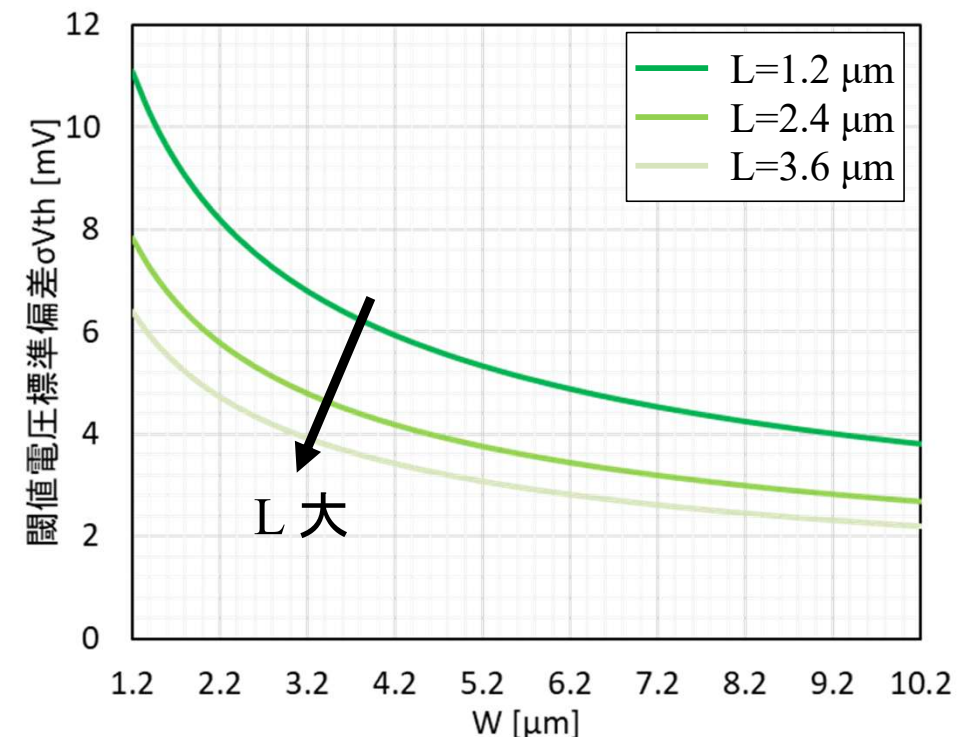
設計方針②ばらつきの理論式

- ・ 閾値電圧ばらつきの標準偏差[2]

$$\sigma_{V_{TH}} = \frac{A_{VT}}{\sqrt{LW}}$$

A_{VT} : プロセスパラメータ [mV・ μm]

(例) PMOS



オフセット電圧増大・ばらつきの原因

- ・ 差動対のマッチング
- ・ カレントミラーの電流誤差

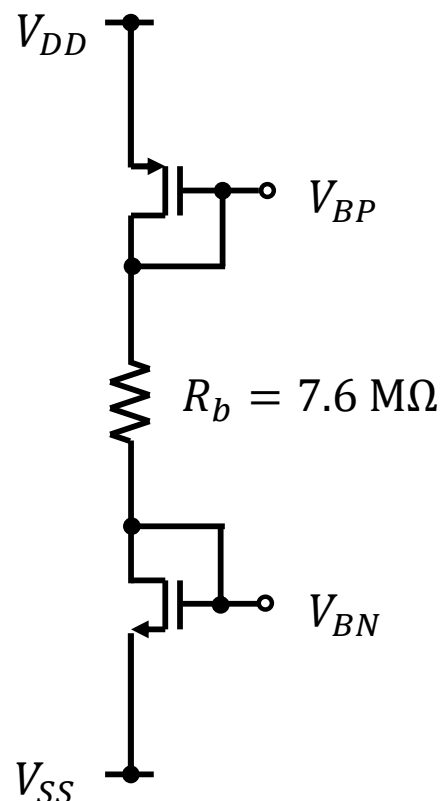


閾値電圧ばらつきの標準偏差を
考慮して設計

[2] 平本 俊郎, 竹内 潔, 西田 彰男, “MOSTランジスタのスケーリングに伴う特性ばらつき”, 電子情報通信学会 Vol. 92, No. 6, 2009年.

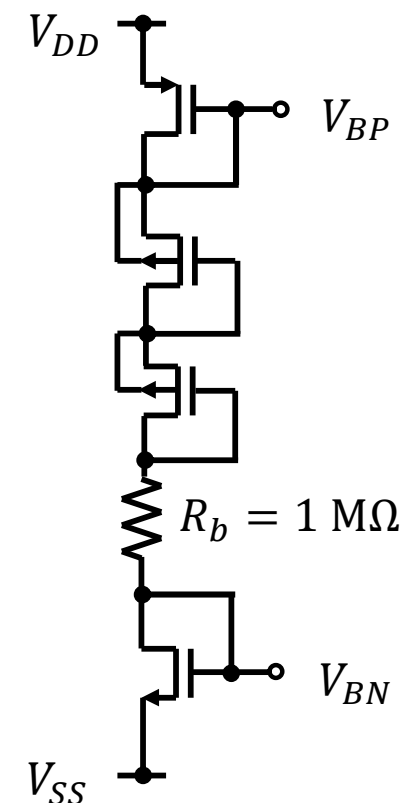
設計方針③バイアスの抵抗値

昨年度



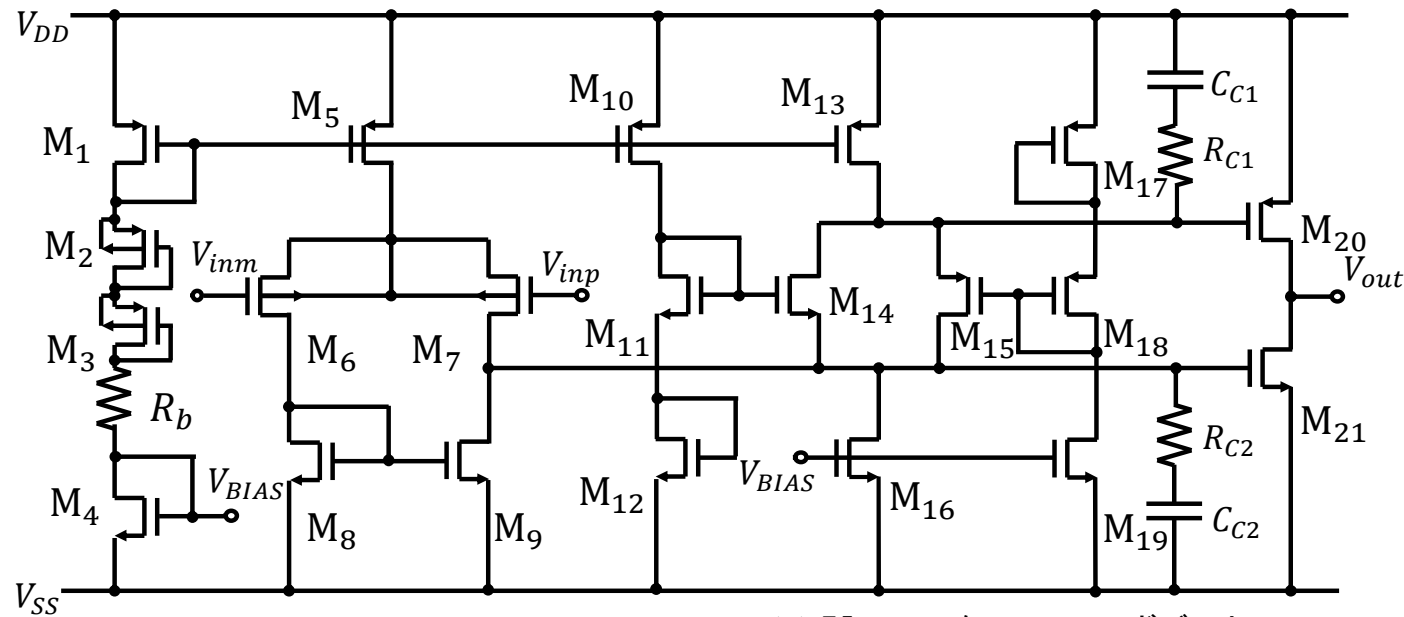
一般的に高抵抗ポリは $\pm 30\%$ ばらつく
⇒電流のばらつきが大きかった原因？

今年度



PMOSのダイオード接続を利用し、
使用する抵抗値を減らす。

回路図及び素子値

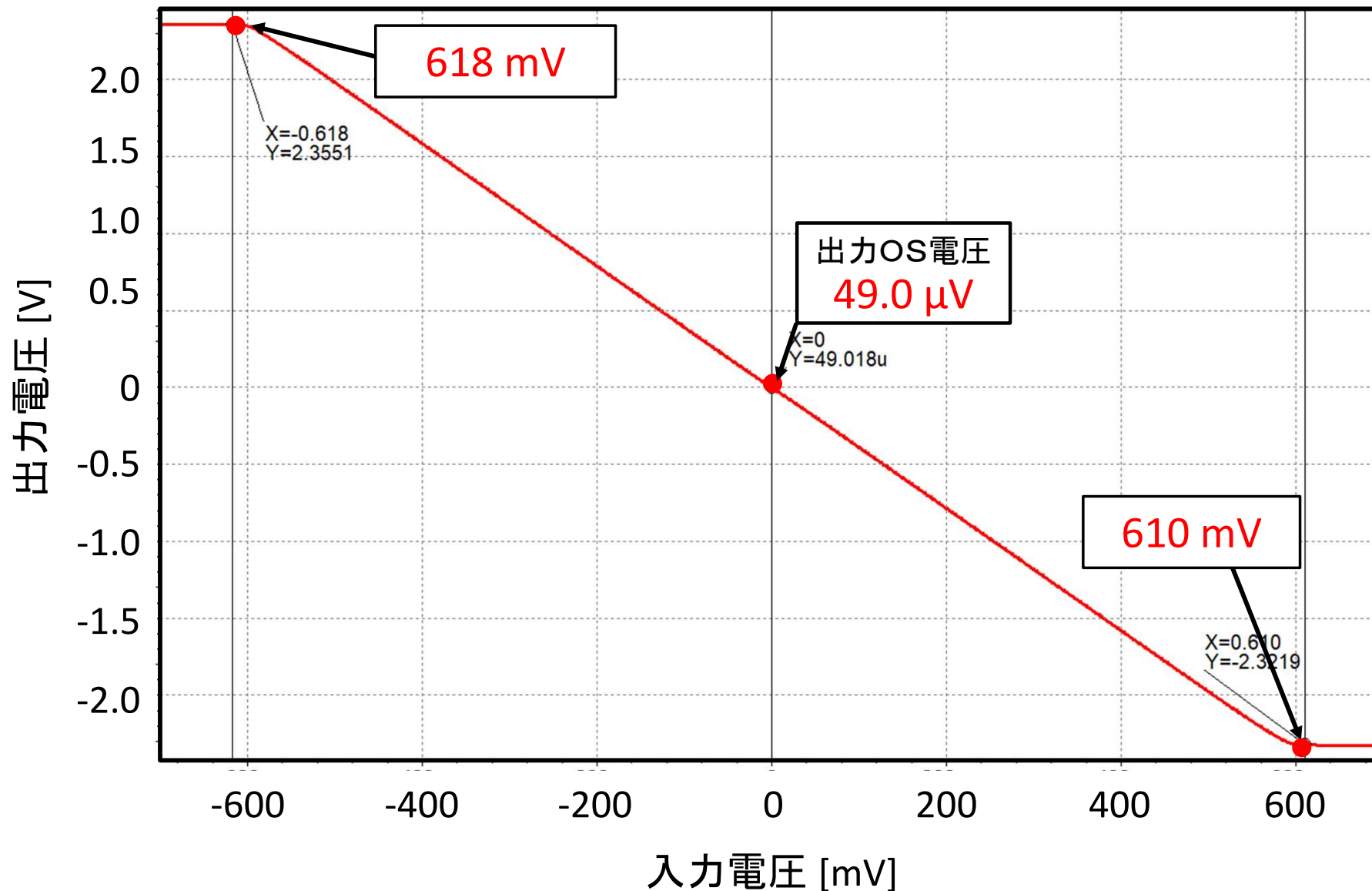


※明記していないPMOSのボディは V_{DD} , NMOSのボディは V_{SS} に接続

MOS	M ₁	M ₂	M ₃	M ₄	M ₅	M ₆	M ₇	M ₈	M ₉	M ₁₀	M ₁₁	M ₁₂	M ₁₃	M ₁₄	M ₁₅	M ₁₆	M ₁₇	M ₁₈	M ₁₉	M ₂₀	M ₂₁
W [μm]	3.6	1.6	1.6	1.2	3.6	3.6	3.6	1.4	1.4	3.6	1.2	1.2	3.6	1.2	1.2	1.2	3.6	3.6	1.2	3.6	1.2
L [μm]	1.2	13.2	13.2	1.2	1.2	2.4	2.4	2.4	2.4	1.2	1.2	1.2	1.2	1.2	1.2	1.2	1.2	1.2	1.2	1.2	1.2
並列数	1	1	1	1	6	6	6	6	6	1	1	2	2	1	1	2	2	1	1	10	10

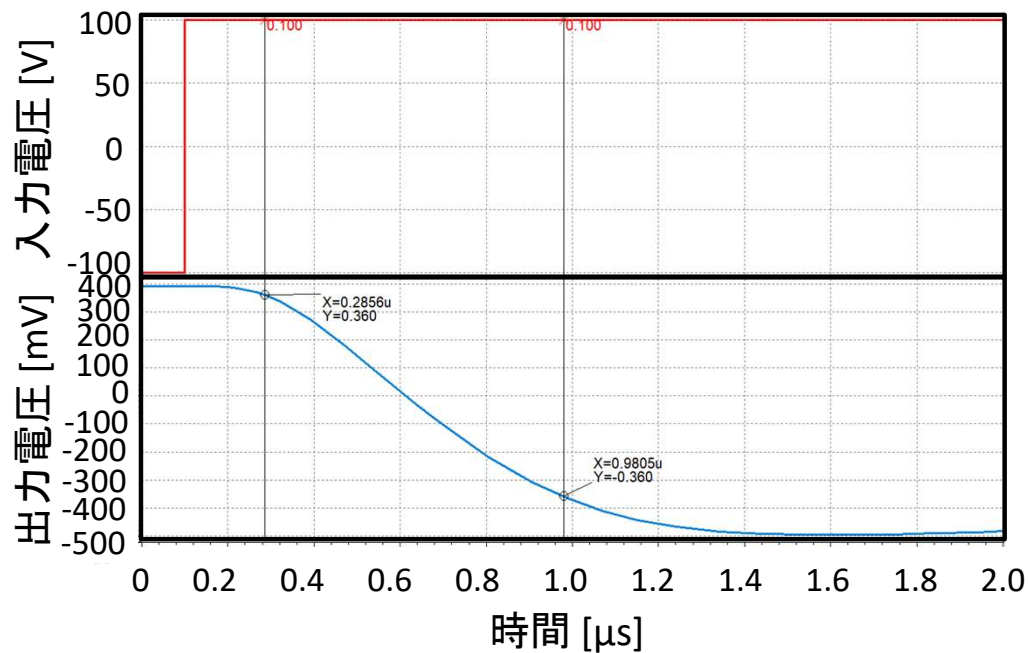
素子名	R_b	R_{C1}	R_{C2}	C_{C1}	C_{C2}
値	1 [M Ω]	5.8 [M Ω]	5.8 [M Ω]	0.22 [pF]	0.22 [pF]

出力オフセット電圧・入力電圧範囲



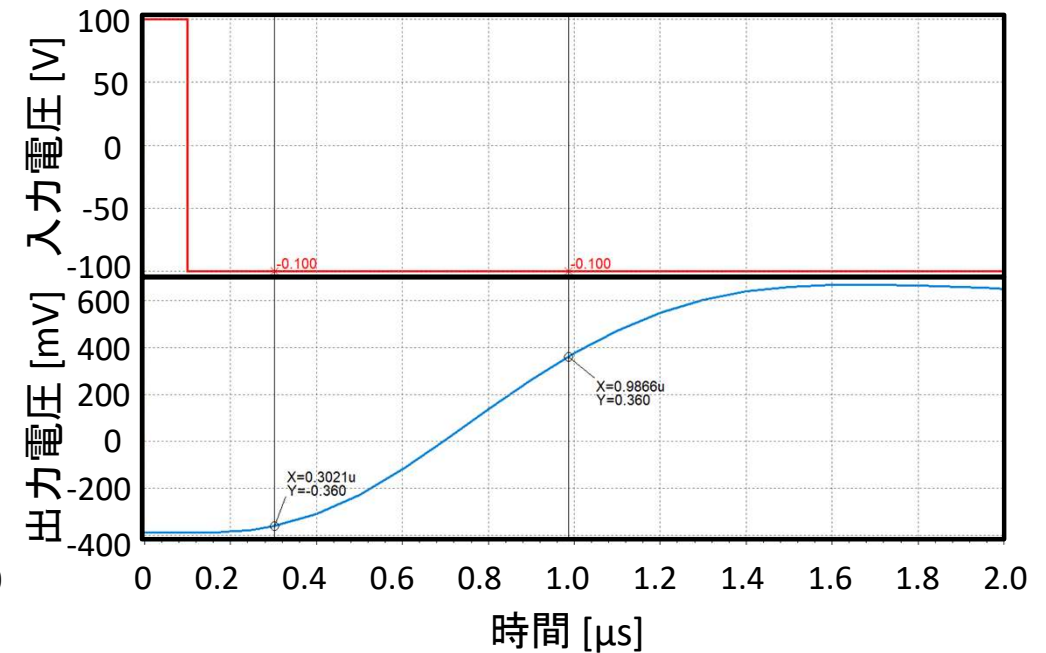
スルーレート

- 立ち上がり



$$\frac{0.72}{|0.2856 - 0.9805|} \cong 1.04 \text{ V}/\mu\text{s}$$

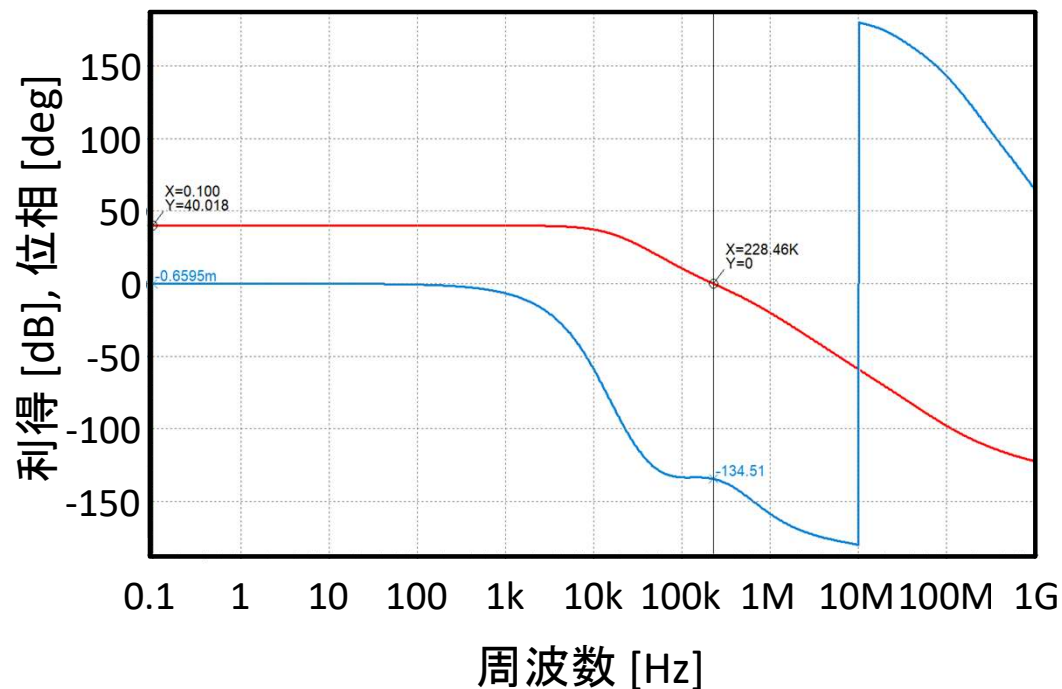
- 立ち下がり



$$\frac{0.72}{0.9866 - 0.3021} \cong 1.05 \text{ V}/\mu\text{s}$$

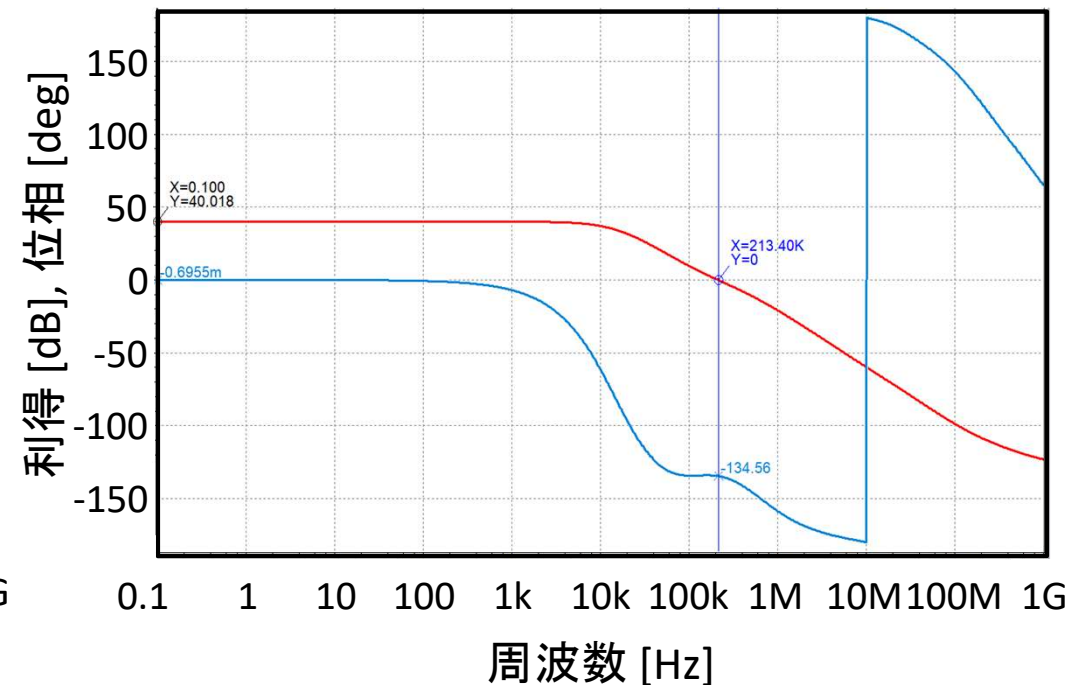
周波数特性

- $C_L = 1 \text{ nF}$



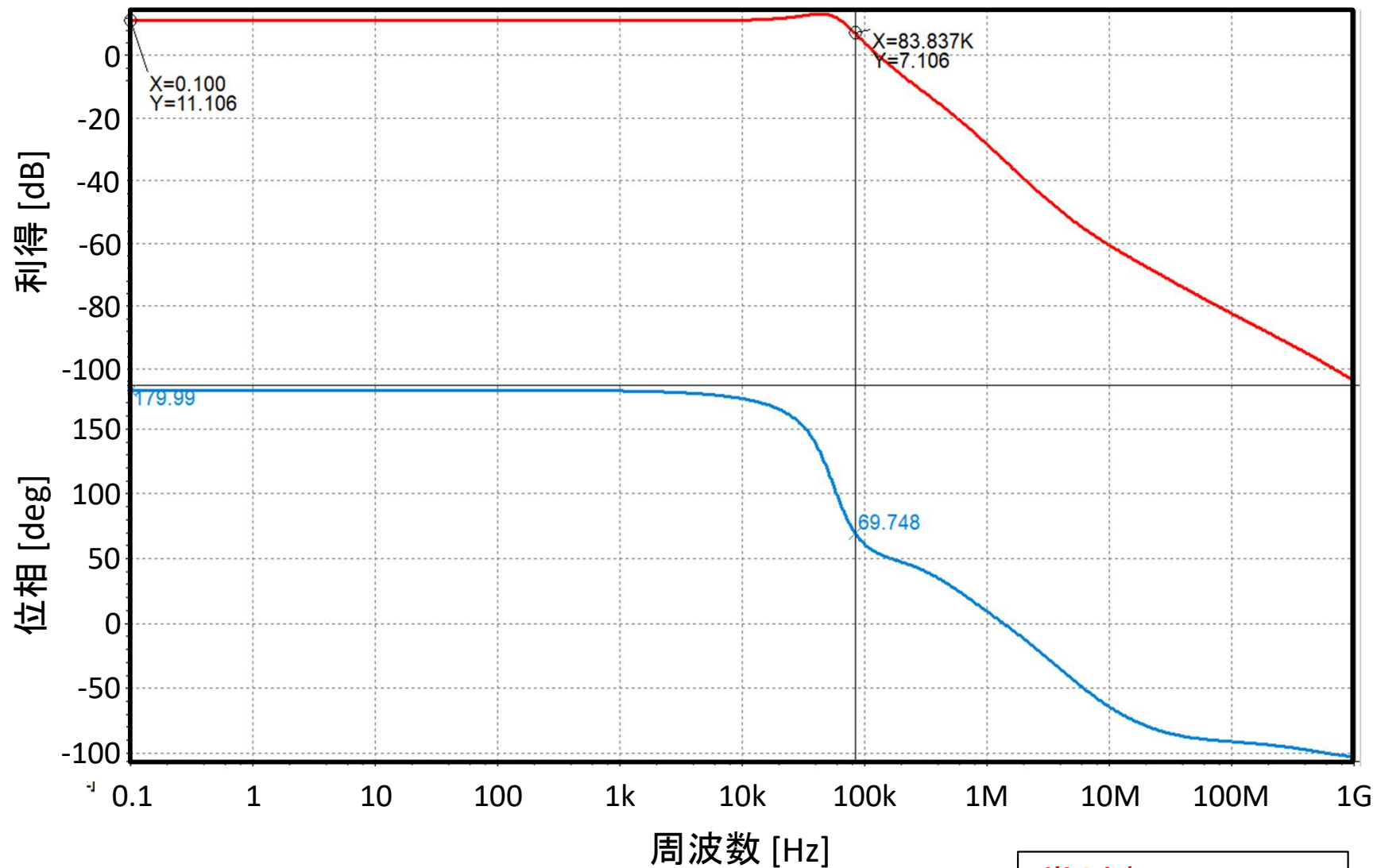
直流利得: 40.0 dB
位相余裕: 45.5 deg

- $C_L = 1.1 \text{ nF}$



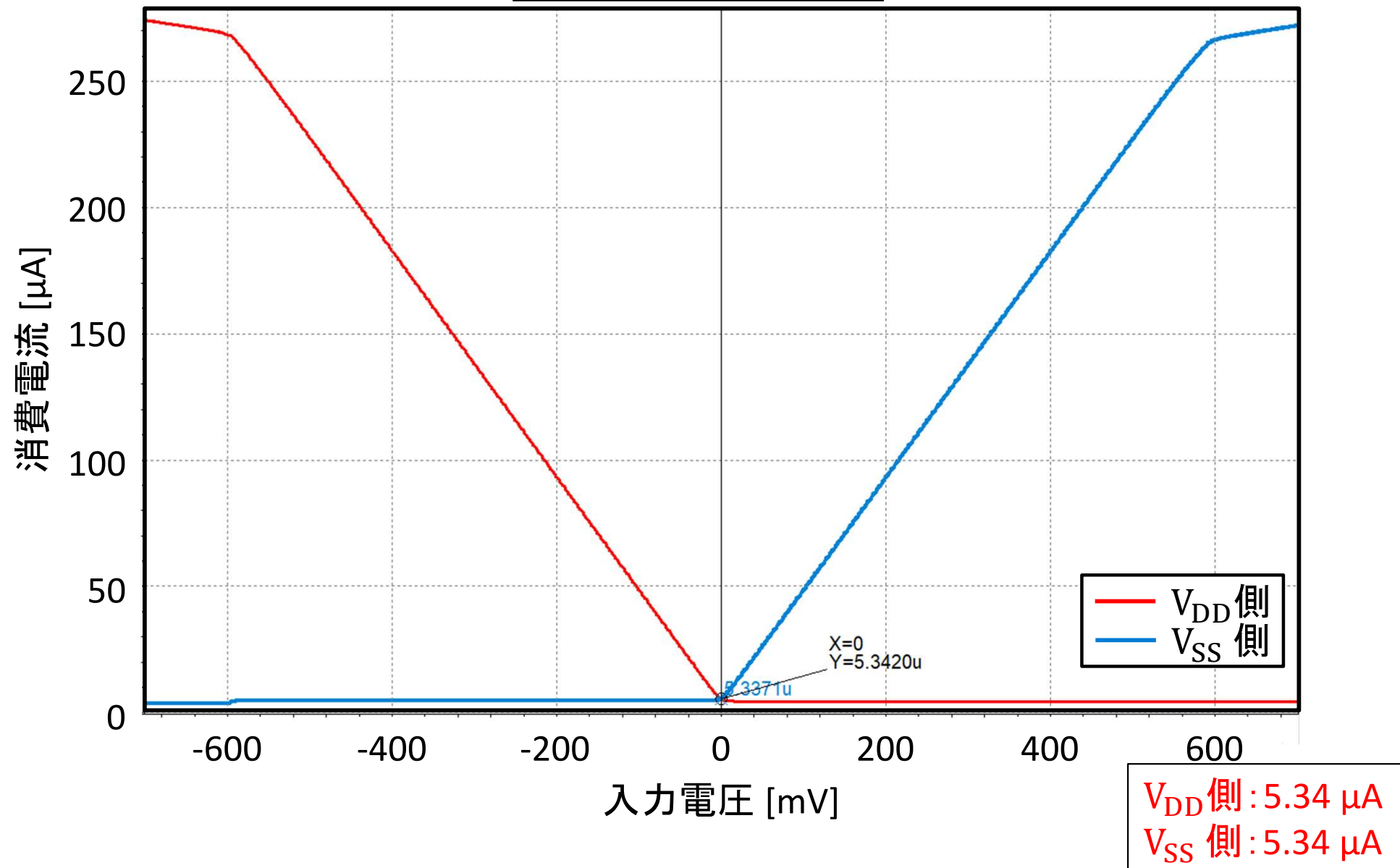
直流利得: 40.0 dB
位相余裕: 45.4 deg

帯域幅

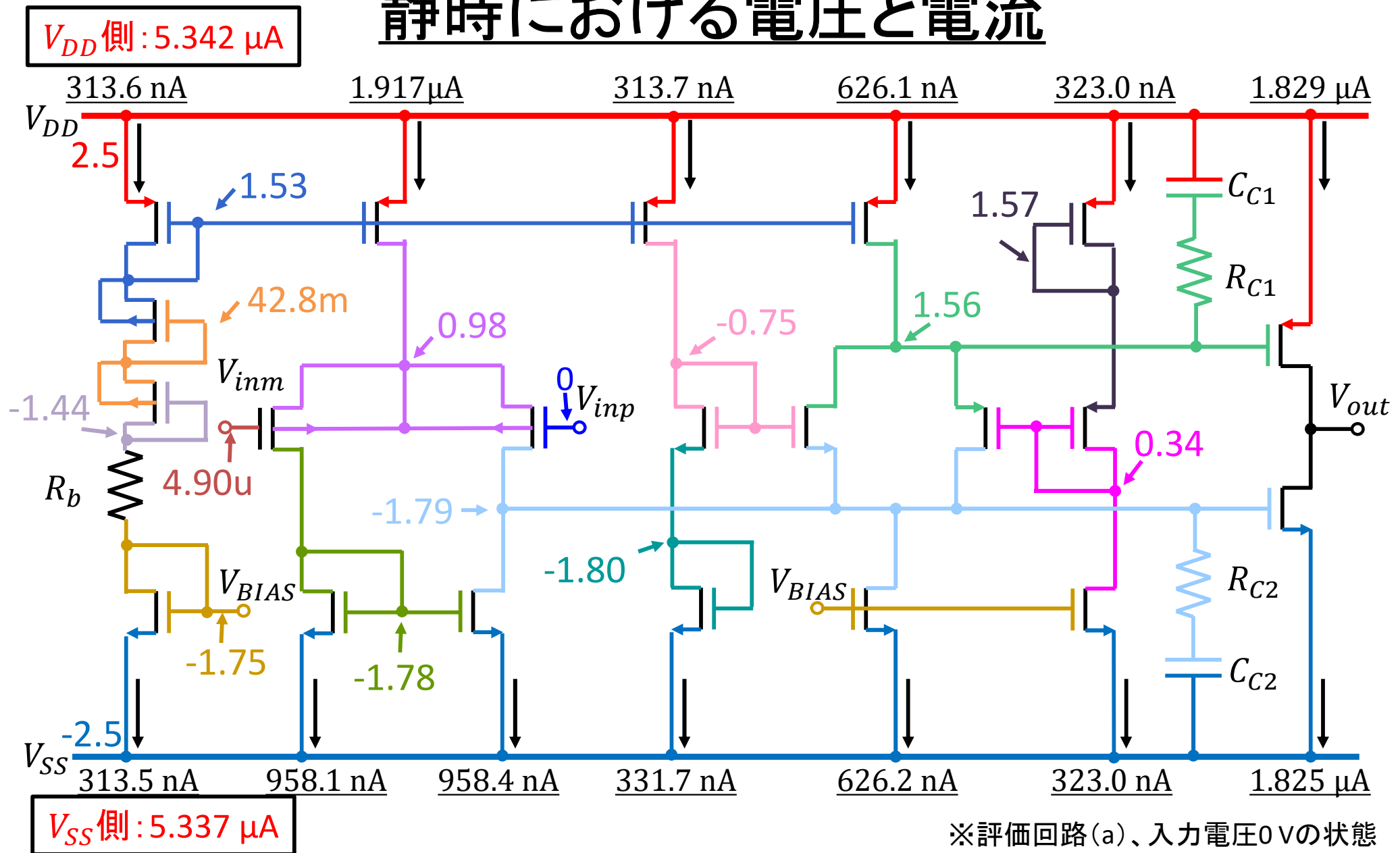


帯域幅: 83.8 kHz

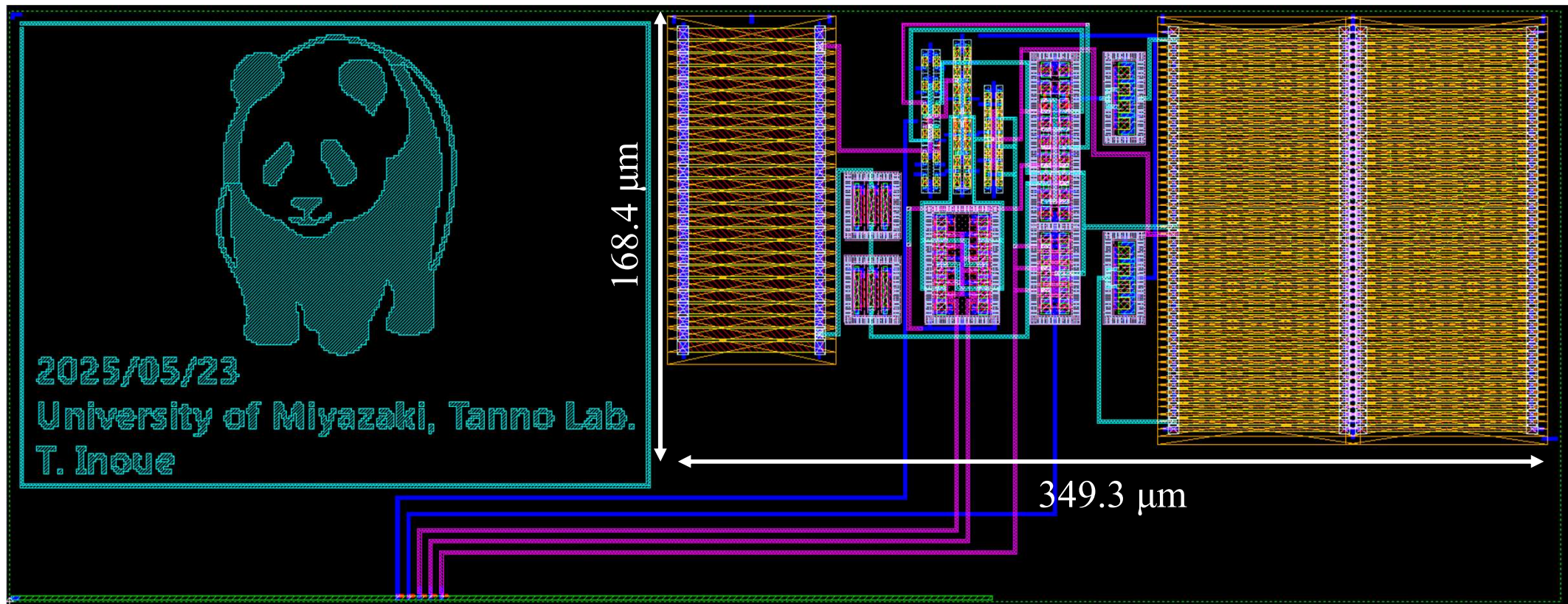
アイドル電流



静時における電圧と電流



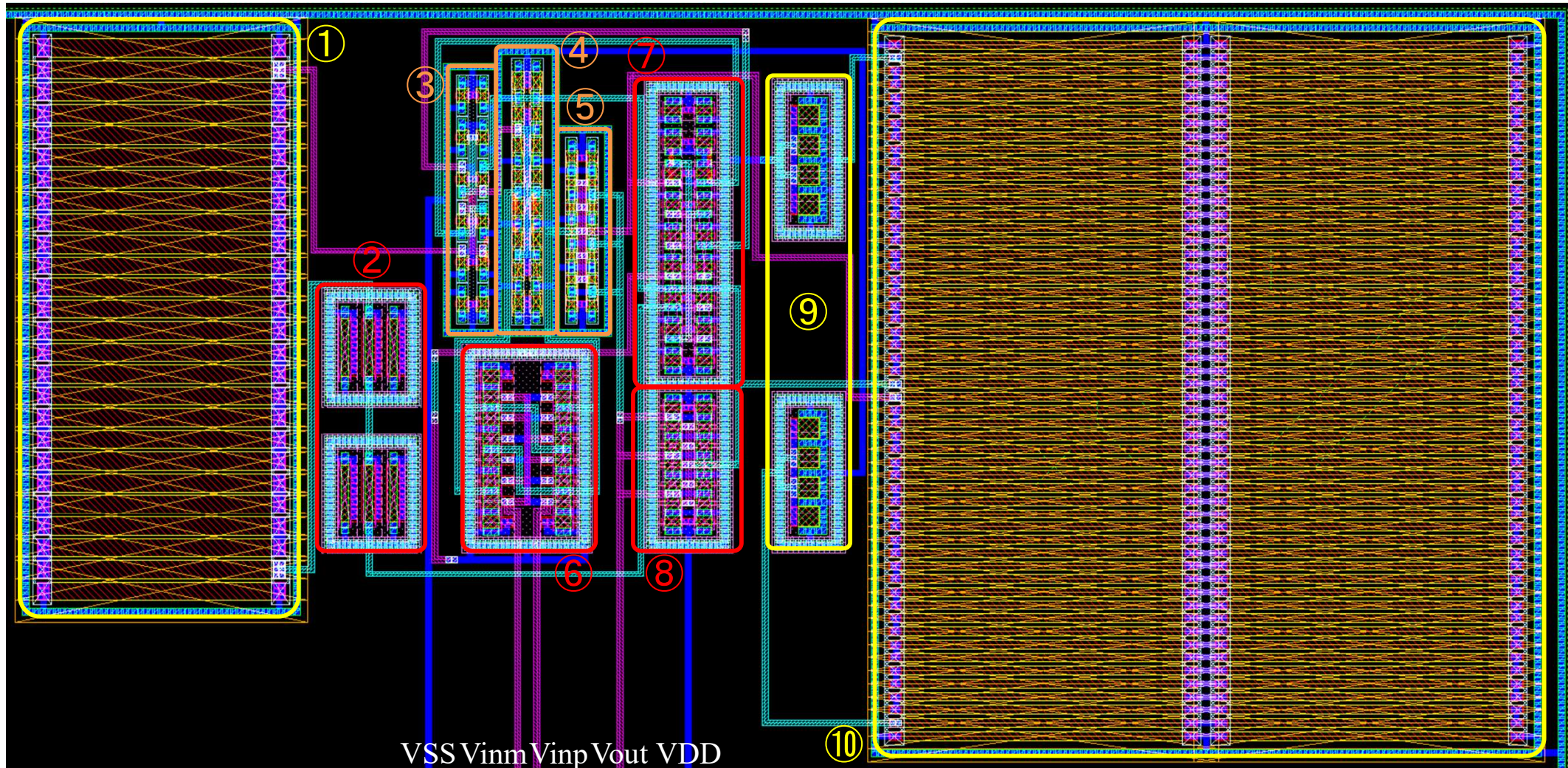
マスクレイアウト(全体図)



回路面積: $0.059\ \text{mm}^2$

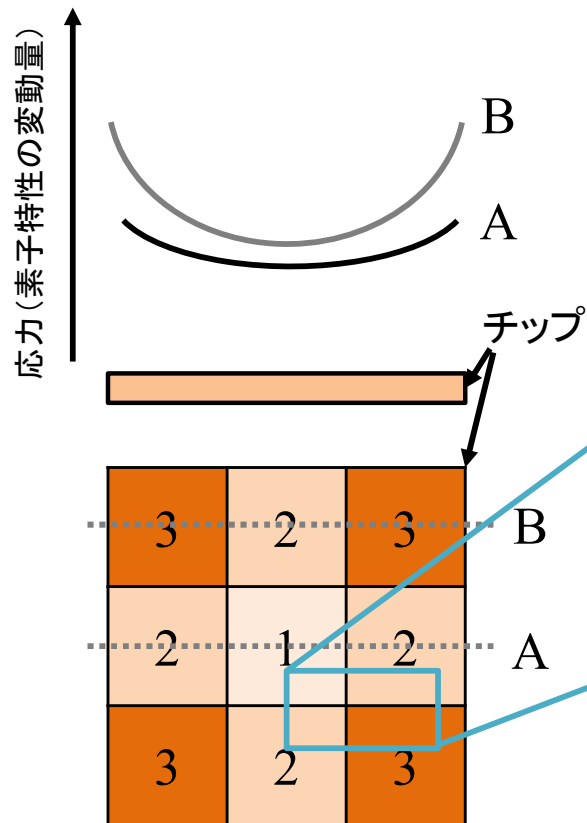
※パンダのイラスト: SILHOUETTE DESIGN様 <https://kage-design.com/2015/01/01/panda1/>

マスクレイアウト(回路)



- ①バイアス抵抗 ②MOS抵抗 ③NMOSカレントミラー ④NMOS差動負荷 ⑤NMOSレベルシフト・出力
⑥PMOS差動入力 ⑦PMOSカレントミラー ⑧PMOSレベルシフト・出力 ⑨位相補償容量 ⑩位相補償抵抗

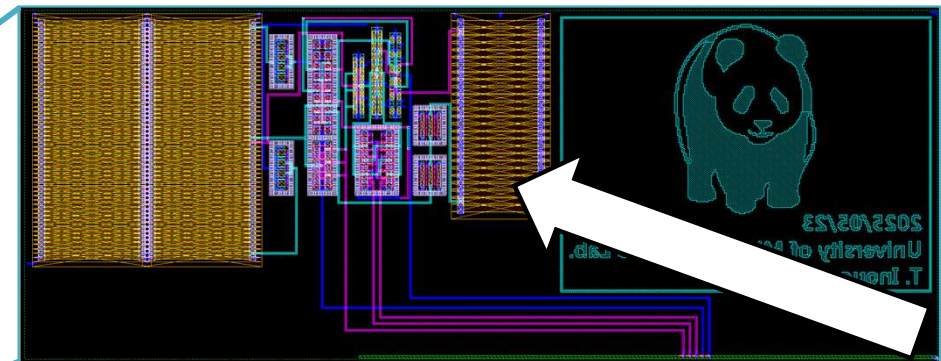
レイアウトで意識した点①チップの応力



チップの応力分布[3]

ピエゾ効果による素子特性の変動量分布.
チップ内の数値は応力の小さい順に表記している.

割り当てられた枠名や端子名より、
下記のように配置されると推測

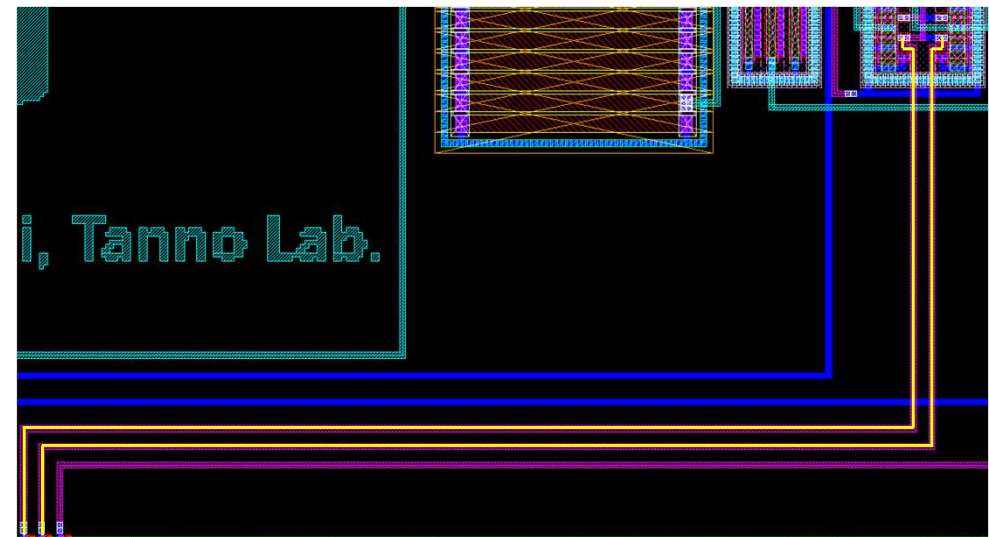
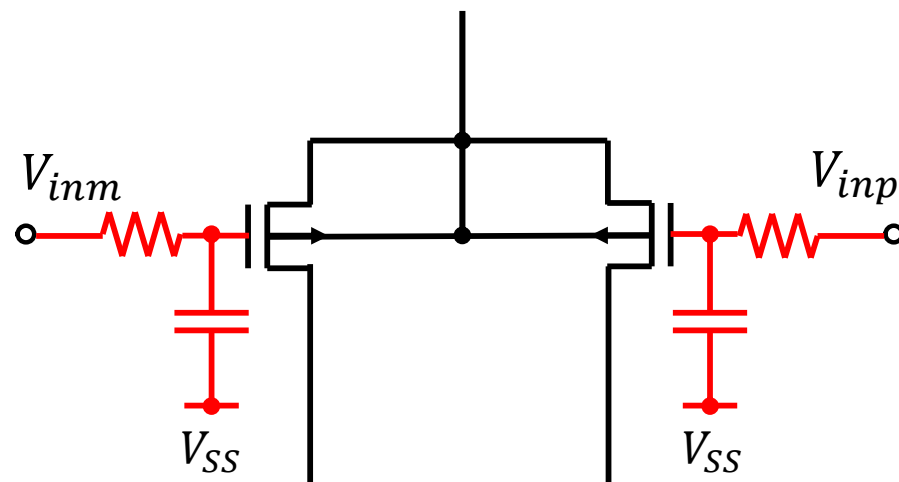


応力による影響を小さくするために、
チップの中心に回路を配置

[3] 吉田 晴彦, “CMOSアナログIC設計の実務設計”, CQ出版株式会社, p. 200, 2010年2月.

レイアウトで意識した点②配線長

- ・等長配線



配線長: 340 μm
配線抵抗: 25 Ω
配線容量: 6.6 fF

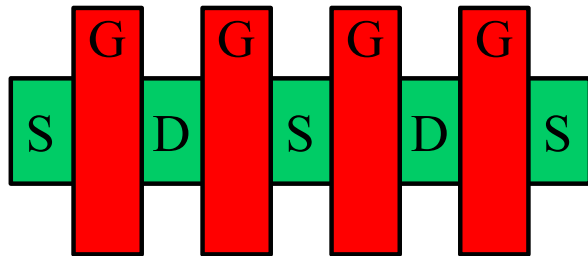
配線が長くなっても、外部の寄生成分に比べれば十分小さい

配線長が異なると、寄生成分の差によって対称性が失われる

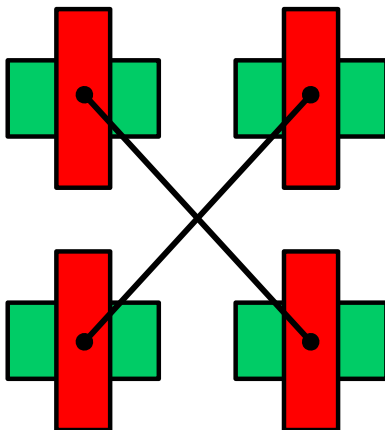
マッチングを必要とする部分の配線は、同じ長さになるように意識

レイアウトで意識した点③MOSの配置

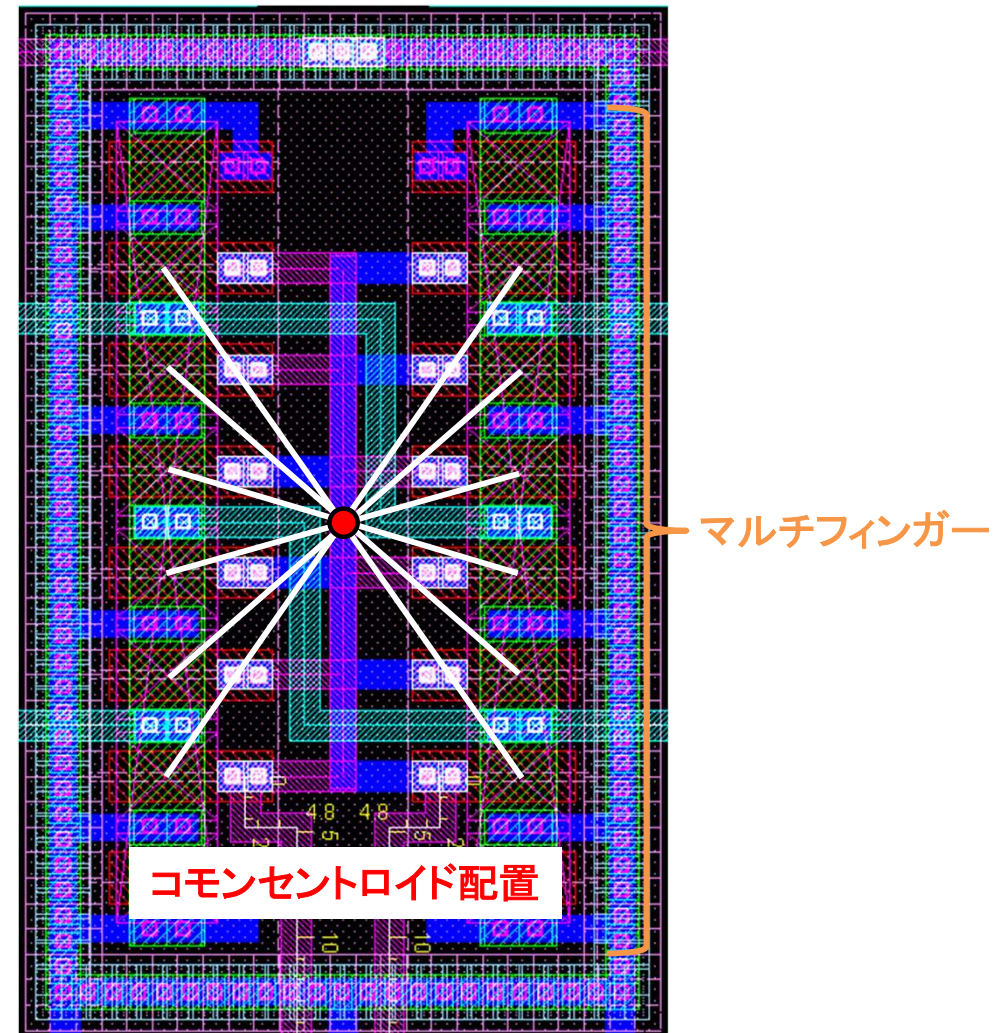
- ・MOS同士のマッチングを取りたい
⇒マルチフィンガー



- ・回路の対称性を維持したい
⇒コモンセントロイド配置

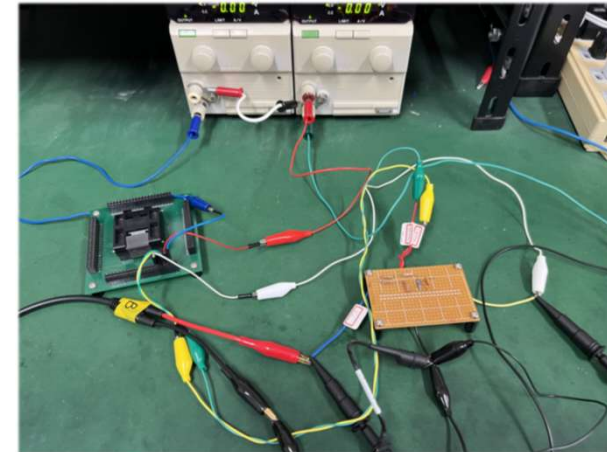
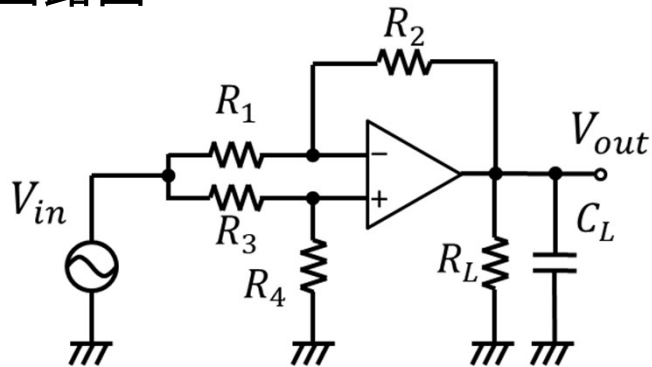


(例) PMOS差動対

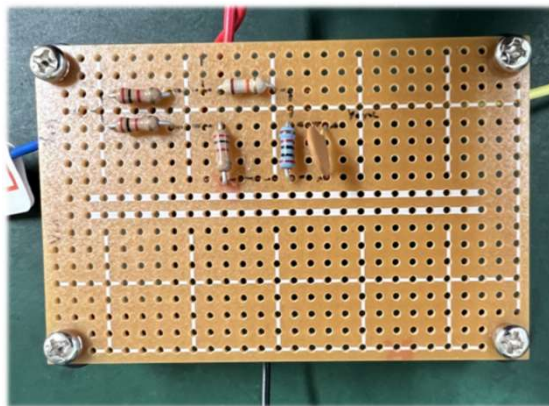


測定で使用した評価回路

- 回路図



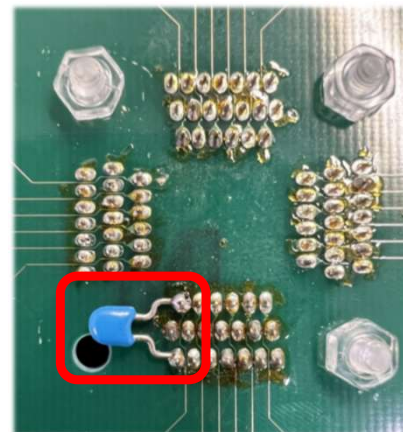
寄生成分の低減



※同研究室の谷口氏と製作

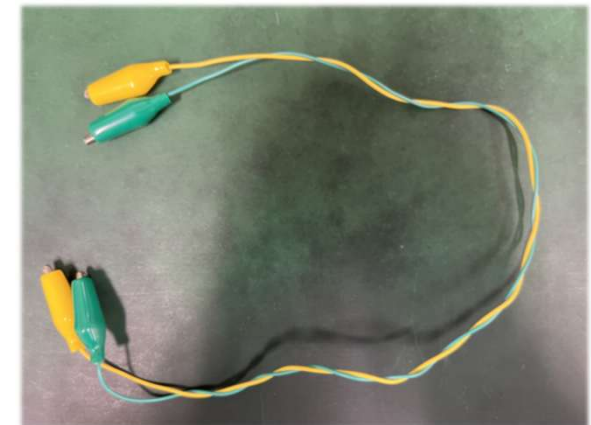
ユニバーサル基盤を使用

電源の安定化



$V_{DD} - V_{SS}$ 間にパスコンを挿入

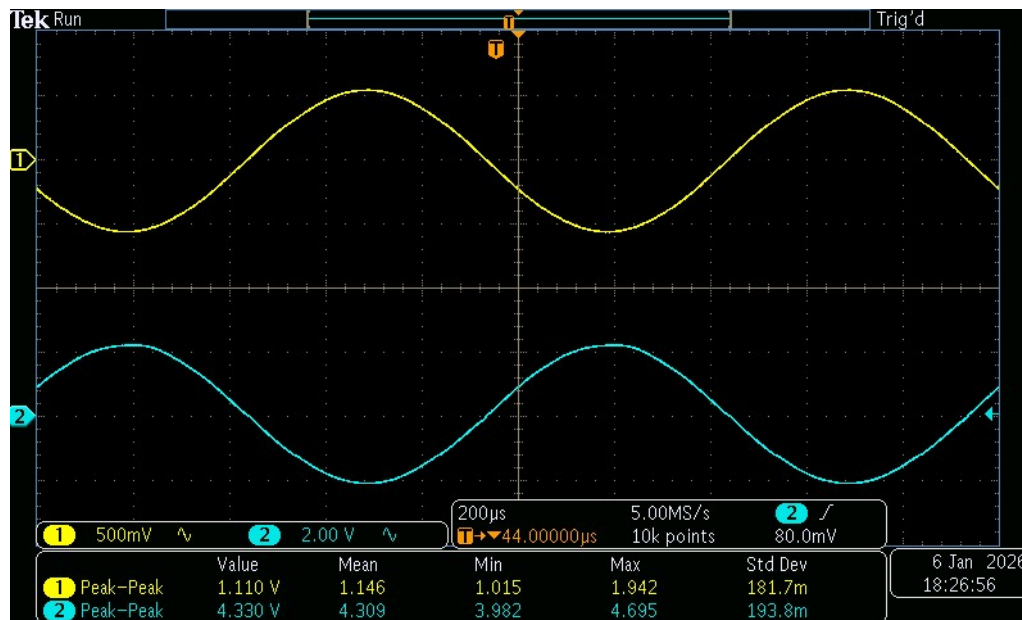
入力信号の同相ノイズ除去



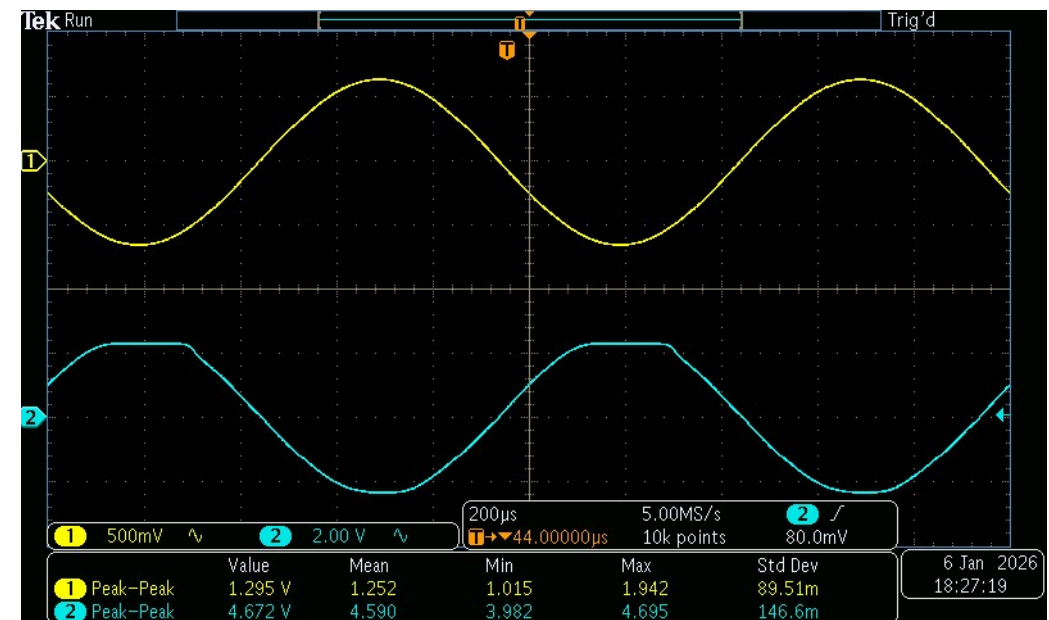
V_{inp} , V_{inn} の配線をツイストペアに

入力電圧範囲

- $V_{in} = 1.110 [V_{p-p}]$



- $V_{in} = 1.295 [V_{p-p}]$



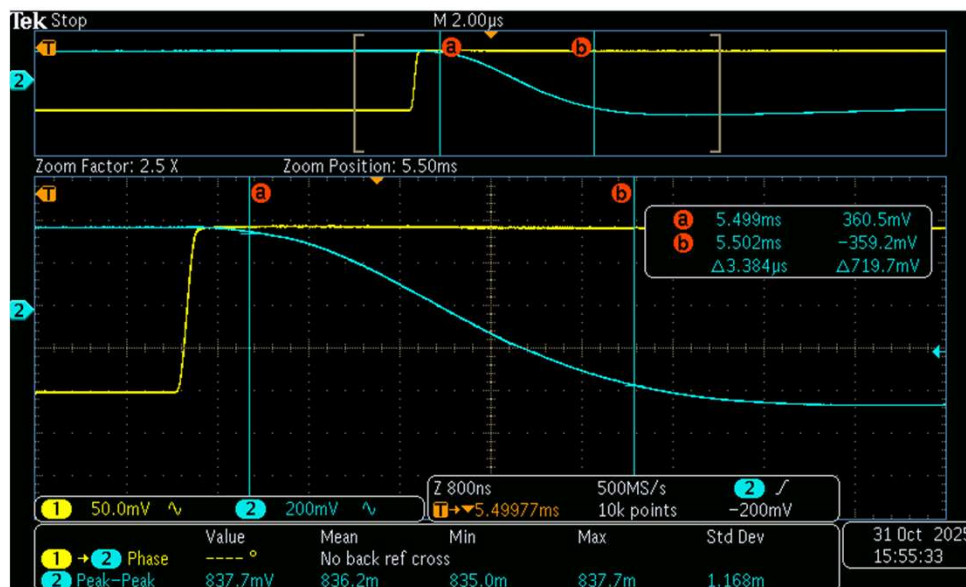
— 入力電圧
— 出力電圧

Sim.値 [mV]	実測値 [mV]
±610	±670

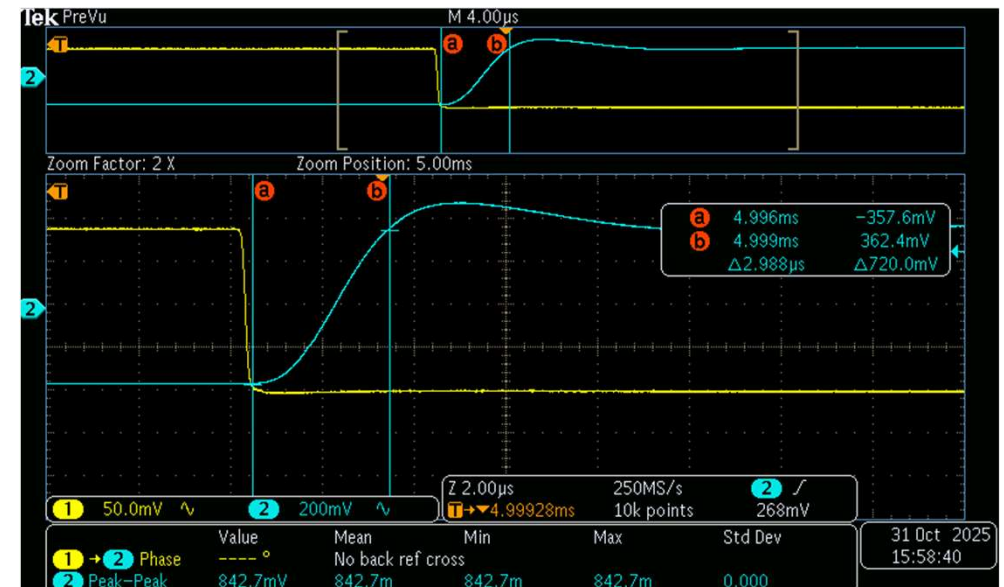
シミュレーション結果との大きな差はなかった

スルーレート

- 立ち上がり



- 立ち下がり

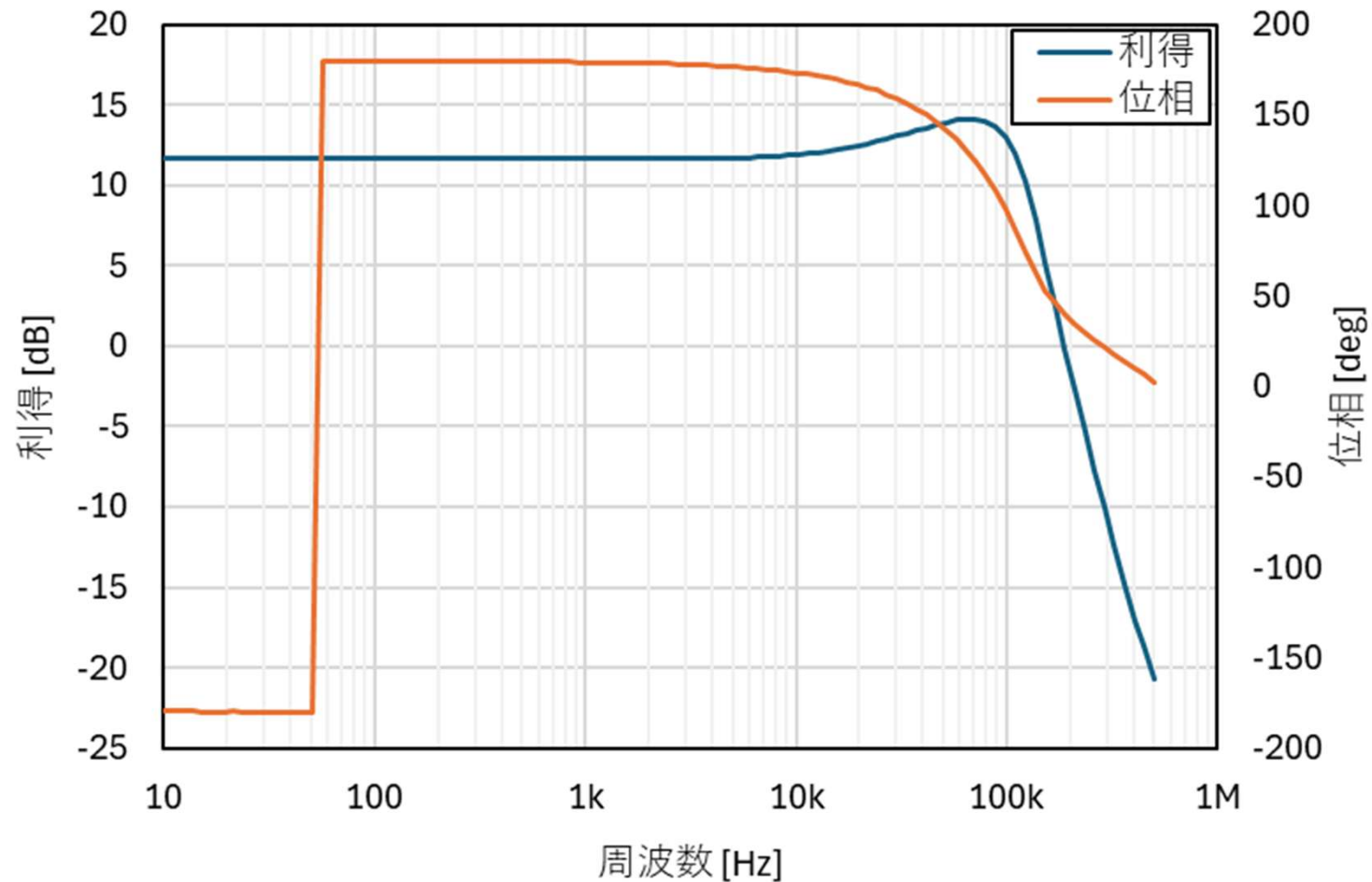


※立ち下り、立下りは横軸スケールが異なります。

Sim.値 [V/μs]	実測値 [V/μs]
1.04	0.28

スルーレートがかなり低くなった

帯域幅



Sim.値 [kHz]	実測値 [kHz]
83.8	114.1

Sim.値よりも帯域が広がった

結果まとめ

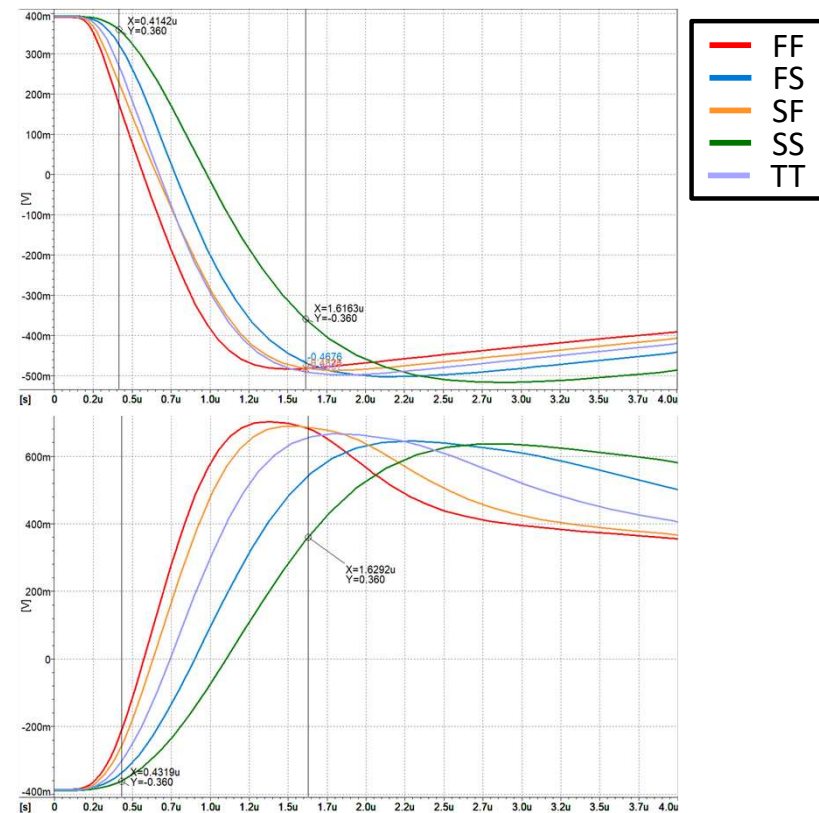
特性	仕様	Sim.値	実測値				
			CHIP1	CHIP2	CHIP3	CHIP4	平均値
消費電流 [μA]	—	5.34	3.90	9.79	5.17	1.28	5.04
帯域幅 [kHz]	≥ 20	83.8	136.5	98.7	122.4	98.7	114.1
出力OS電圧 [mV]	$\leq \pm 100$	0.049	112.0	-21.5	-41.9	176.6	56.3
入力電圧範囲 [mV]	$\geq \pm 100$	± 610	± 555	± 648	± 649	± 828	± 670
スルーレート [$\text{V}/\mu\text{s}$]	$\geq \pm 1$	1.04	0.25	0.24	0.33	0.28	0.28

- 消費電流にばらつきが生じた。
⇒AB級出力部のバランスが取れていない？
- スルーレートがシミュレーションと実測値で大きな差が生じた。

【考察】スルーレートの実測値について

■ 検証①: 負荷容量の増加

負荷容量1.2 [nF]としてシミュレーション

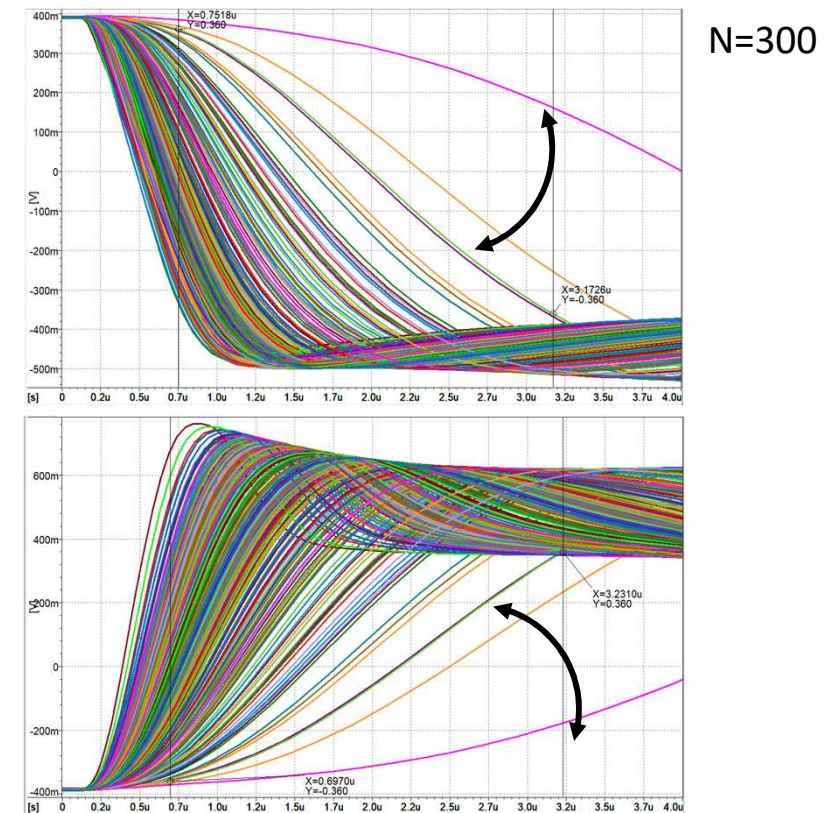


ワースト: 立ち上がり $0.60 \text{ V}/\mu\text{s}$
立ち下り $0.60 \text{ V}/\mu\text{s}$

▼
寄生容量が原因とは考えにくい

■ 検証②: MOSのしきい値電圧ばらつき

チップ間でしきい値電圧が15%ばらつくと仮定



しきい値電圧のばらつきによっては、
実測値と近い値を示す

▼
チップによってはスルーレートを満たす？

まとめ・感想

■ 設計目標

昨年度より、結果のばらつきおよび消費電流を小さくする

■ 設計方針

- ① MOSの寄生容量、利得を考慮した設計
- ② ばらつきの論理式を用いた設計
- ③ バイアスの抵抗値を小さくする。

■ 結果

- Sim.上では、利得を40 dBぎりぎりに設計し、位相補償容量を0.22 pFに抑えられた。
- 実測では、消費電流は平均5.04 μ Aとなり、昨年度よりも小さくなった。
- スルーレートはSim.結果よりも悪くなり、仕様を満たせなかった。

■ 感想

- AB級出力段のバランスを考えた設計が必要だった。
- 設計マージンを保ちつつ、消費電流を絞るのはとても難しい。
- 今回の経験を、今後の設計に役立てていきたい。

謝辞

本コンテスト運営の皆様並びに協賛企業の皆様に厚く御礼申し上げます。

2025年度演算増幅器設計コンテスト

試作の部: 1位

東京都市大学 大学院 総合理工学研究科 情報専攻
集積化システム研究室
修士1年 中村駿太



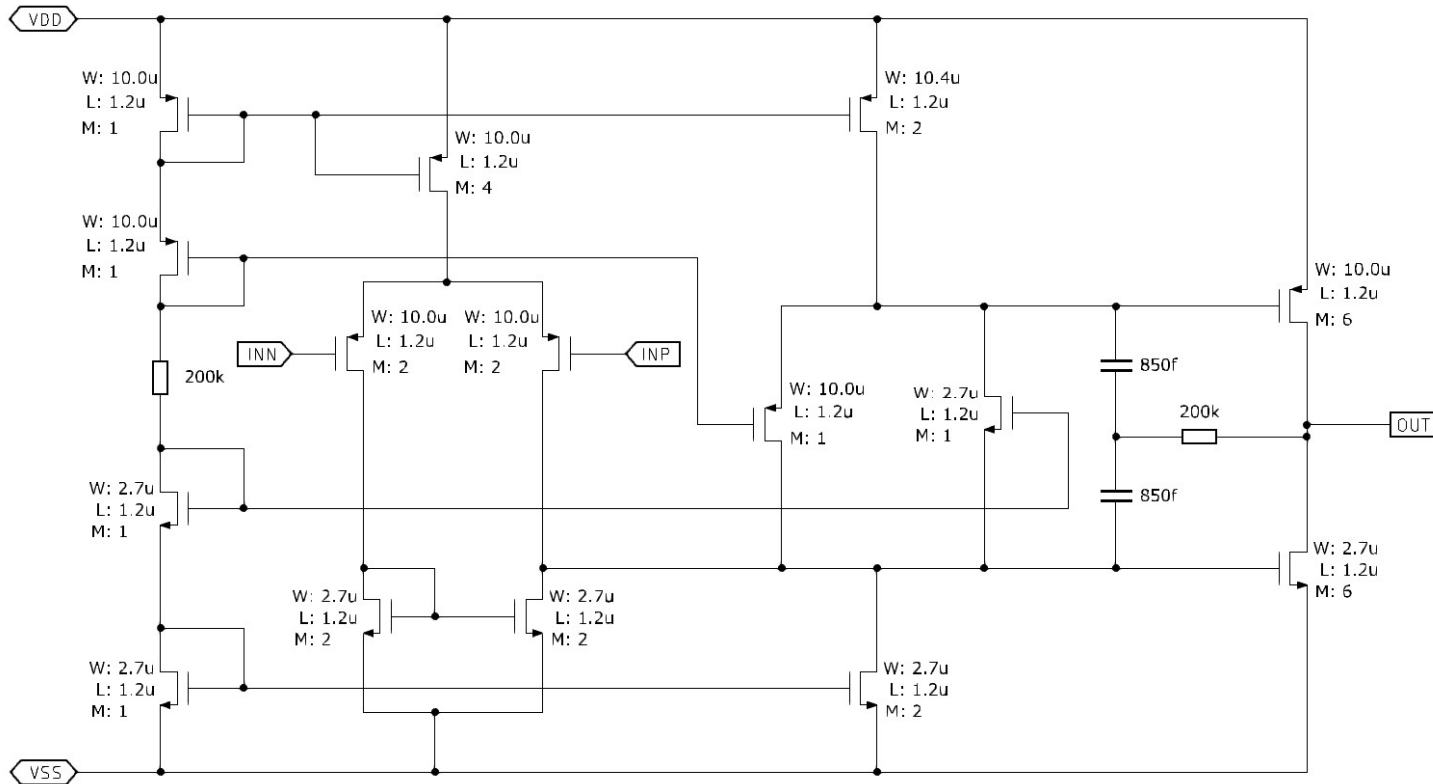
目次

- ・ 設計方針
- ・ 回路構成
- ・ レイアウト
- ・ 測定結果
- ・ 感想



3

- ・ 去年も試作の部に提出
⇒ 入賞ならず、入賞作品と回路トポロジーは似通っていた
- ・ 自分の回路理解の足りなさを実感
⇒ 去年の回路トポロジーで一旦詰めてから考えてみることに

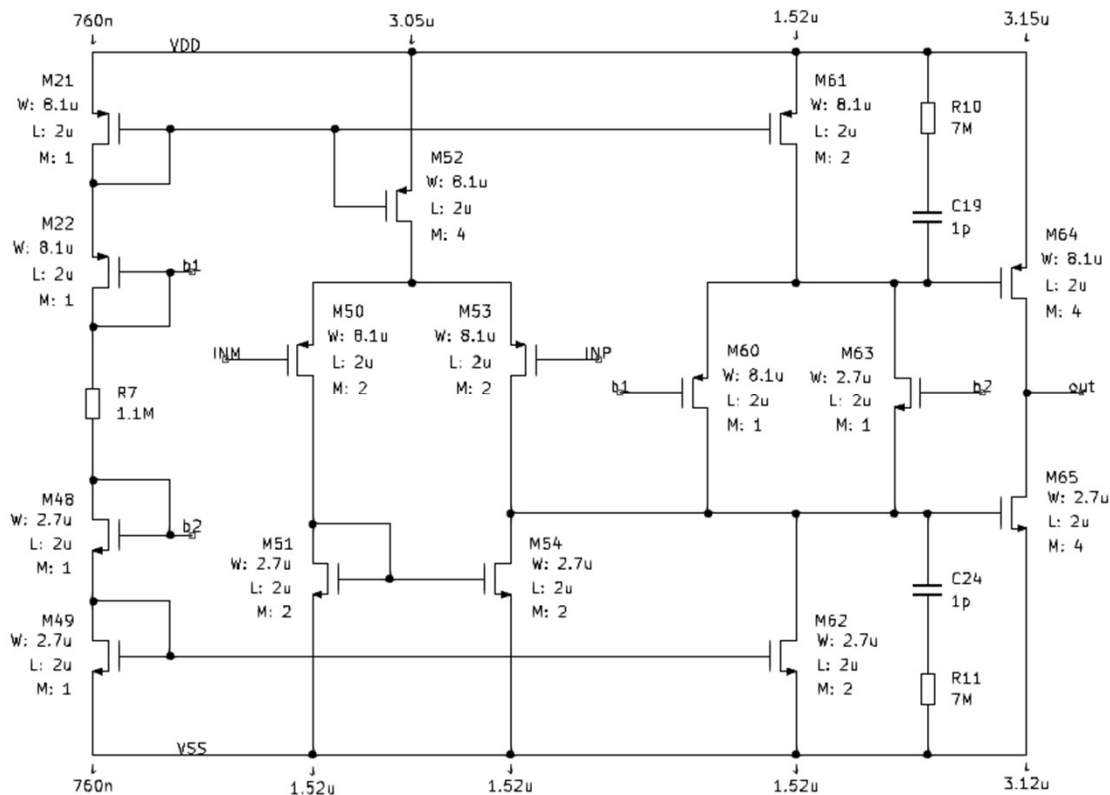


去年の回路図

検討回路と失敗原因

- ・ SRを稼ぐために入力段に電流を流す必要があった
⇒ 入力段がA級になっている影響

電流を減らしながらSRを稼ぐ ⇒ 入力段をAB級にする

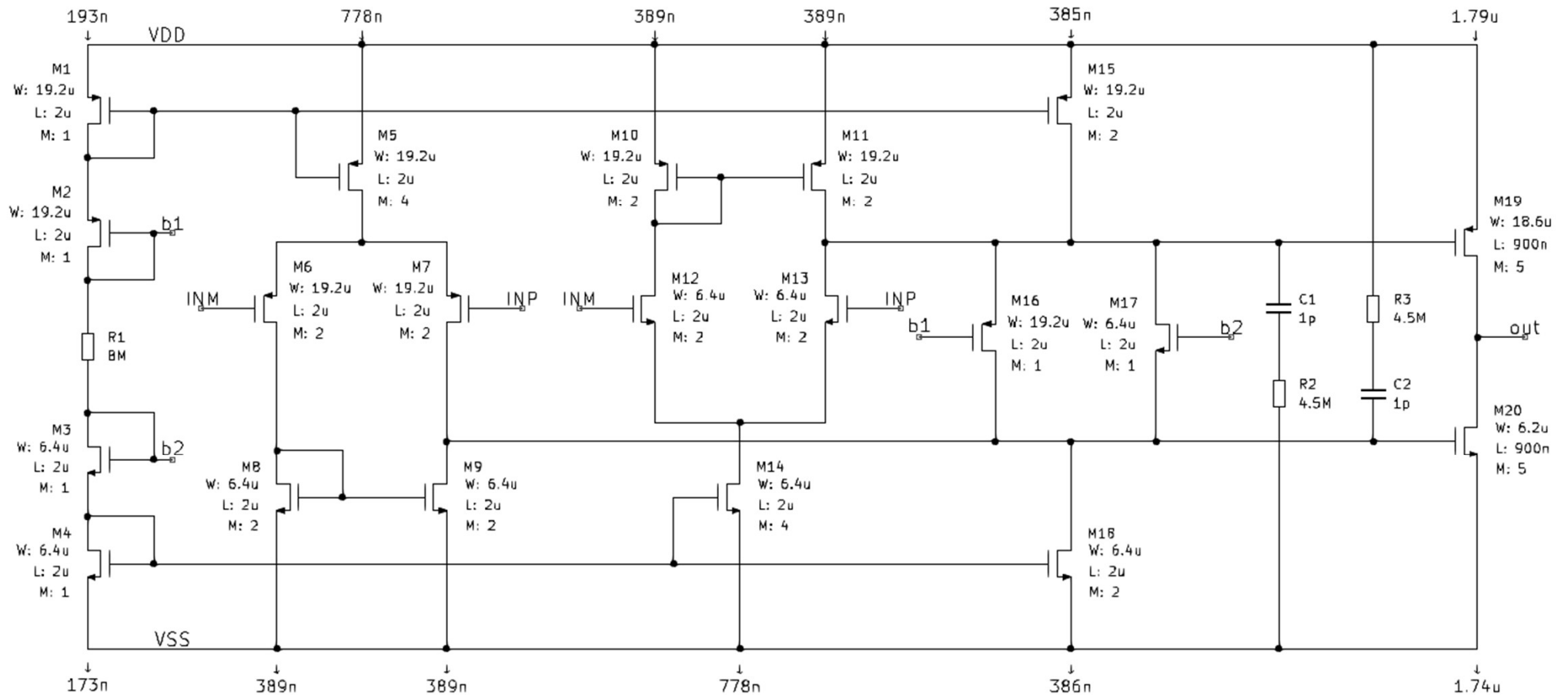


検討段階の回路

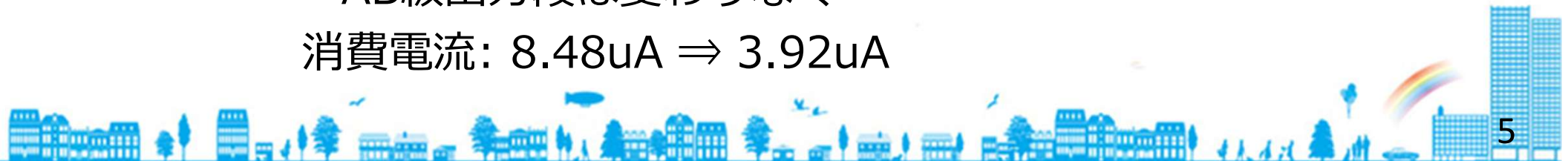
検討回路のSim結果

評価項目	要件値	Sim結果
スルーレート	$\pm 1\text{V}/\mu\text{s}$	$+1.02\text{V}/\mu\text{s}$ $-1.06\text{V}/\mu\text{s}$
直流利得	40dB	62.52dB
出力オフセット	$\pm 100\text{mV}$	366uV
消費電流	-	+8.48uA -8.45uA

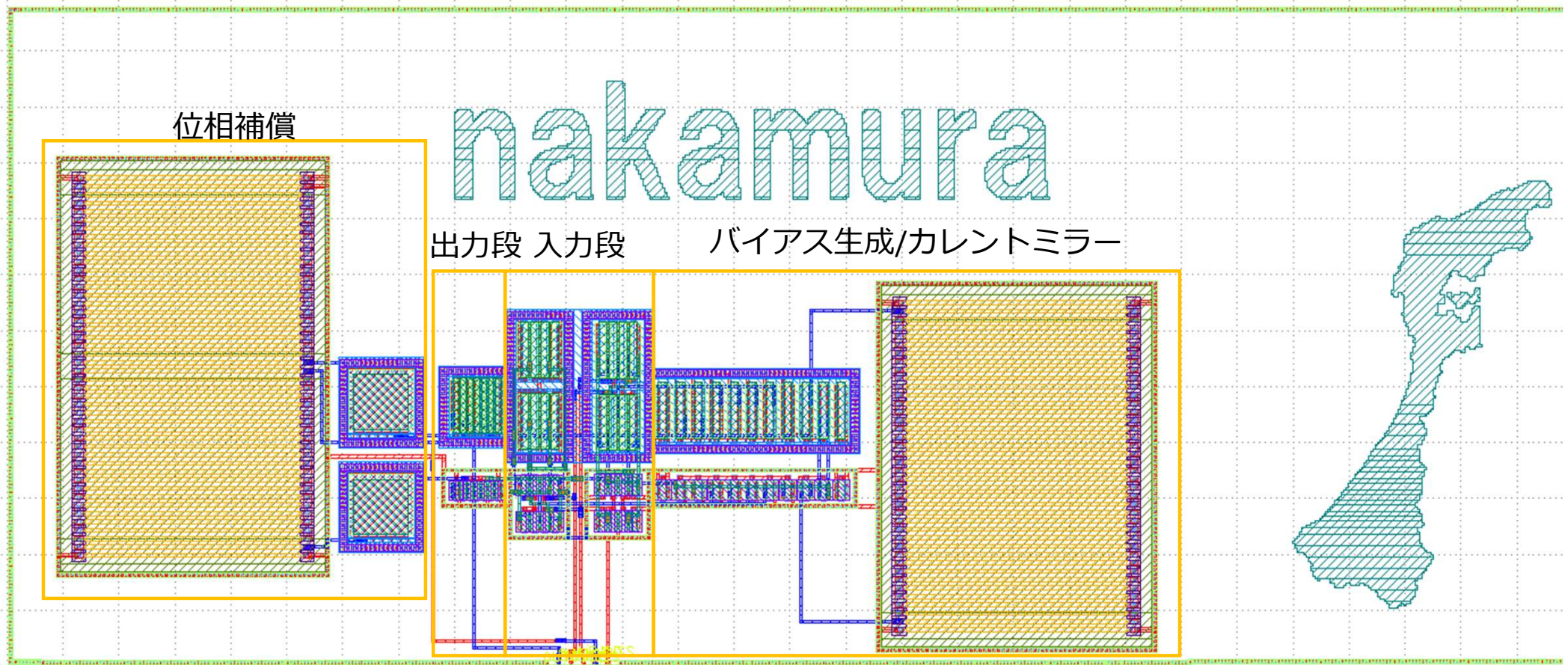
回路構成



- PMOS入力とNMOS入力でAB級の入力段とした
 - AB級出力段は変わりなく
- 消費電流: $8.48\mu A \Rightarrow 3.92\mu A$



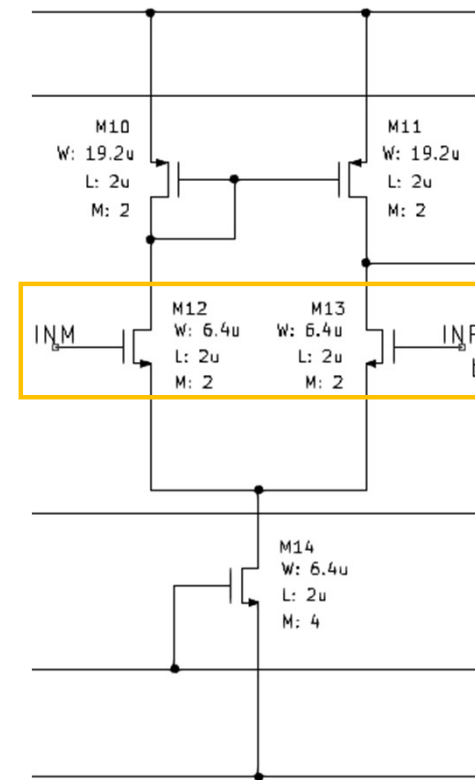
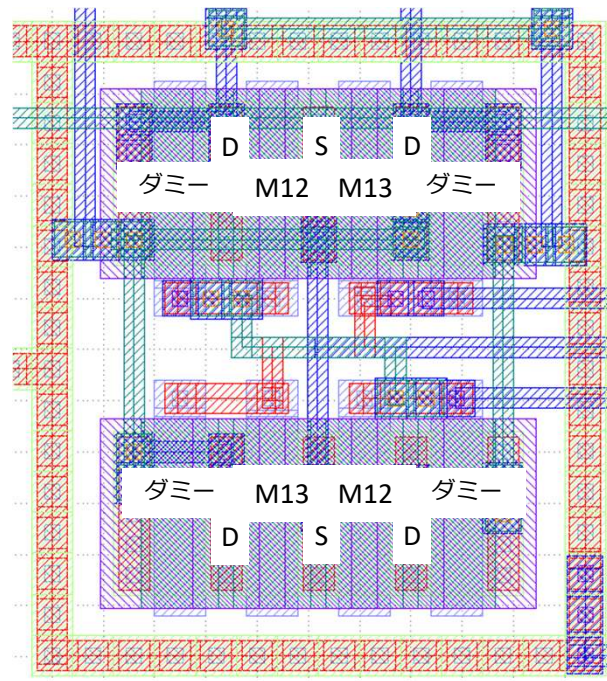
レイアウト



- 限界まで詰めてレイアウト
- すべてのトランジスタと抵抗にダミーを配置



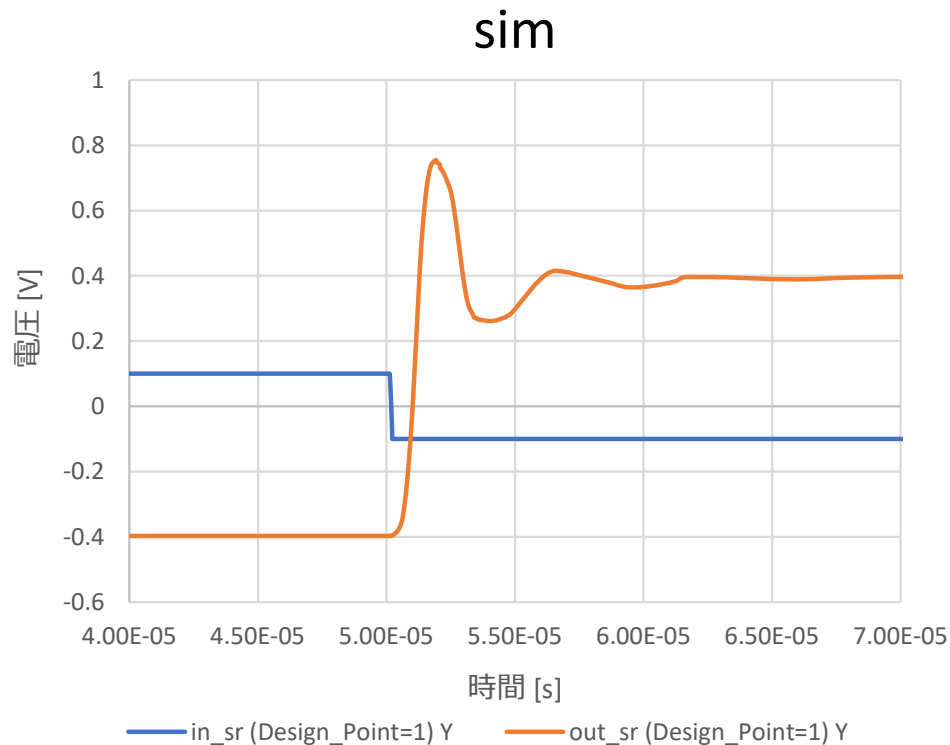
レイアウトで注意した点



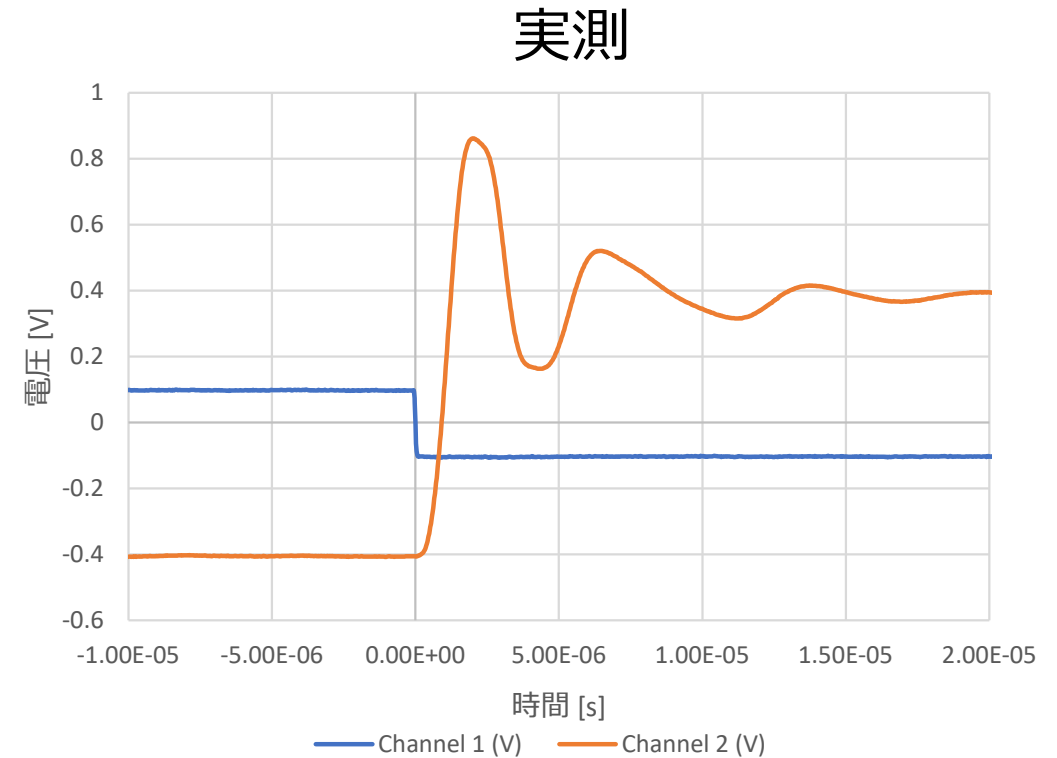
- ・ コモンセントロイドを意識
- ・ ソースやドレインを共有し寄生容量の低減



測定結果 (スルーレート)



-1.434V/us / +1.116V/us



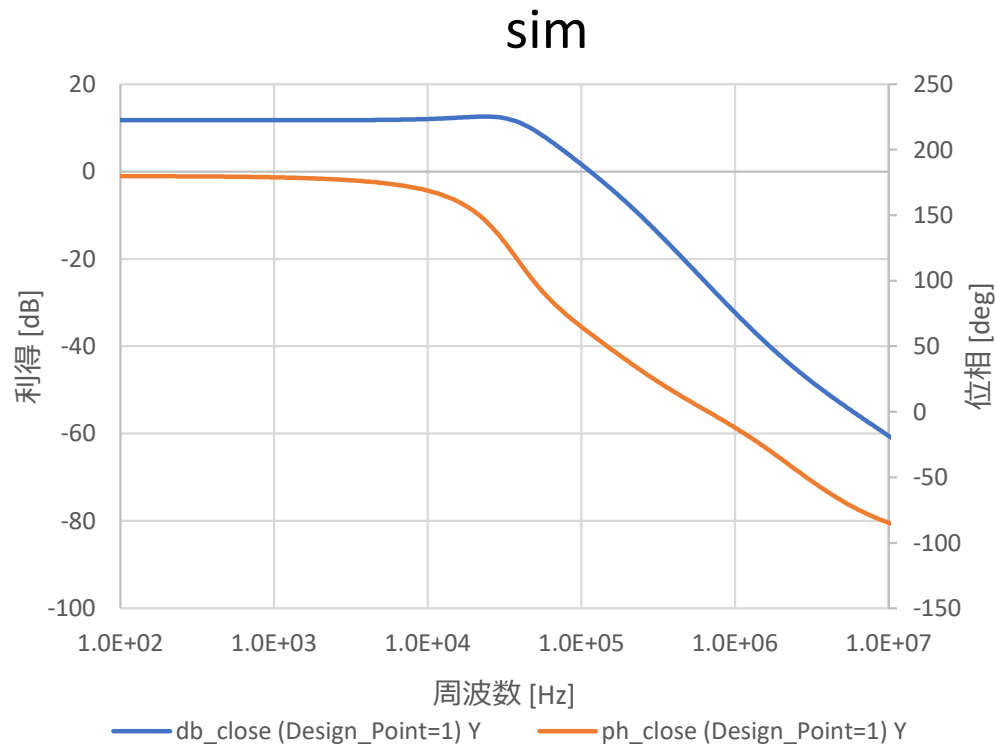
-0.90V/us / +1.21V/us

simに対して実測は

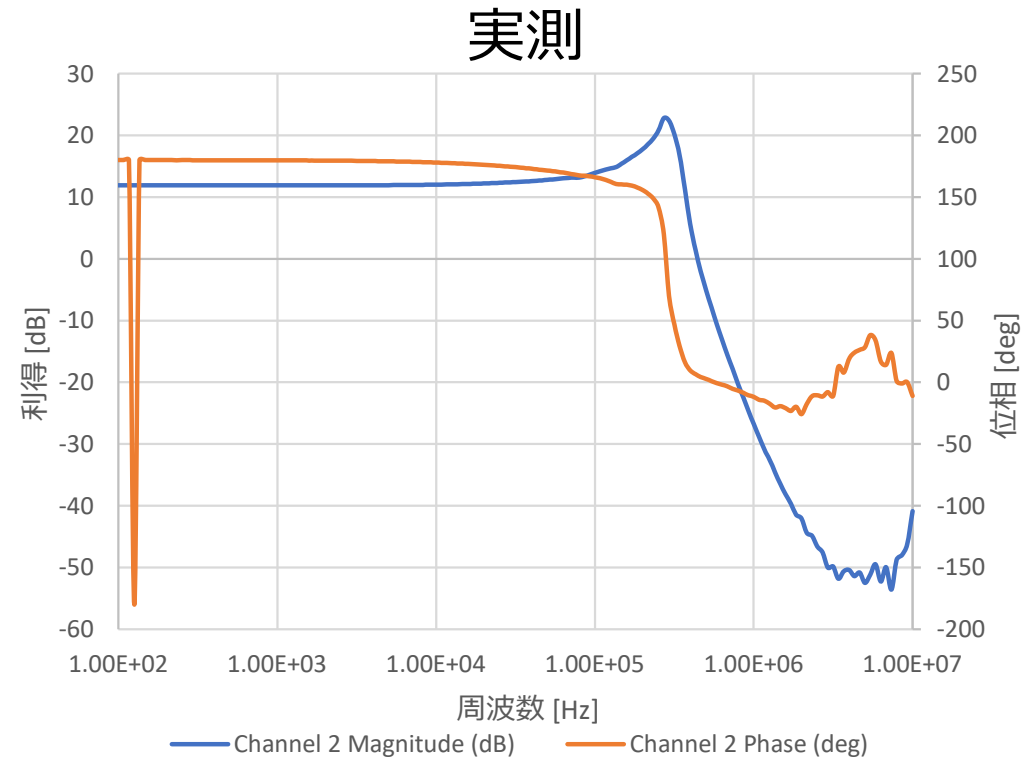
- ・ リンギングが大きい
- ・ SRが遅い



測定結果 (周波数特性)



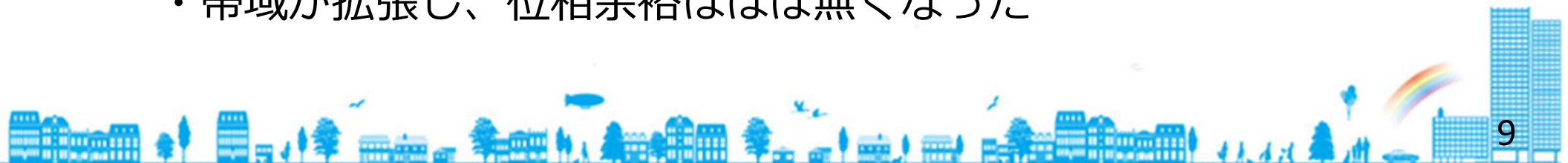
fc(-3dB)=106.1kHz
PM=59.63度



fc(-3dB)=381kHz
PM=6.6度

simに対して実測は

- ・ 帯域が拡張し、位相余裕はほぼ無くなった



測定結果まとめ

評価項目	要件値	sim結果	実測
スルーレート	$\pm 1 \text{ V/us}$	$-1.434 \text{ V/us} / +1.116 \text{ V/us}$	$-1.21 \text{ V/us} / +0.90 \text{ V/us}$
帯域幅	20 kHz	106.1 kHz	381 kHz
入力電圧範囲	$\pm 100 \text{ mV}$	$\pm 310 \text{ mV}$	$\pm 305 \text{ mV}$
出力オフセット	-	-489 μV	-9.7 mV
消費電流	-	3.899 μA (+3.923 μA / -3.874 μA)	4.625 μA (+4.15 μA / -5.10 μA)

- 消費電流の増加に対し、SRが減少している
⇒ 位相補償に用いている抵抗にズレが発生した？

- 消費電流の正負に大きな差
⇒ 出力オフセットの増加が原因？減らすと平均は良くなるのか？



感想

- ・ 部門1位を取れて嬉しかった
- ・ 実測でスルーレートの要件値を満たせなかったのが悔しい
- ・ シミュレーションの部も参加すればよかった

来年に向けて

- ・ 素子値にもっと根拠を持って決定理由を言えるようになりたい
- ・ オペアンプの他のパラメータに着目した設計をするときに注意すべきことなどを学びたい
- ・ 後輩に技術を繋げていきたい

謝辞

- ・ コンテストに参加させていただいたことで非常に多くの貴重な経験をすることができました。コンテスト関係者の皆様、および協賛企業の皆様に深く感謝を申し上げます。



2025年度演算増幅器設計コンテスト

部門3:2位

部門4:1位 試作の部:2位

東京都市大学 大学院 総合理工学研究科 情報専攻

集積化システム研究室

修士2年 森下航



目次

- 最適化プログラム
 - └ 実装したもの
 - └ 原理
- 部門3
 - └ 設計方針
 - └ 回路構成
 - └ 評価結果
- 部門4
 - └ 設計方針
 - └ 回路構成
 - └ 評価結果
- 試作の部
 - └ 設計方針
 - └ 回路構成
 - └ 測定結果
 - └ 分析
- 感想
- おまけ



部門 3、4 の共通事項

- 今年は様々あり、設計に時間がとれず
⇒ 保守的な設計にする... が、新しいことはしたい
- プログラムによる最適化がおもしろいのでは？
⇒ 人力で設計後、最後の追い込みを自動化
⇒ コンピュータと役割分担
- 計算資源はあまりない&デバッグの時間もない
⇒ 確実に収束する&簡単に作れる



焼きなまし法

金属を熱して冷やす過程を模した最適化手法

初期（高温）：大胆にパラメータを変える → スコアが悪くなっても確率的に許容し、局所解から脱出

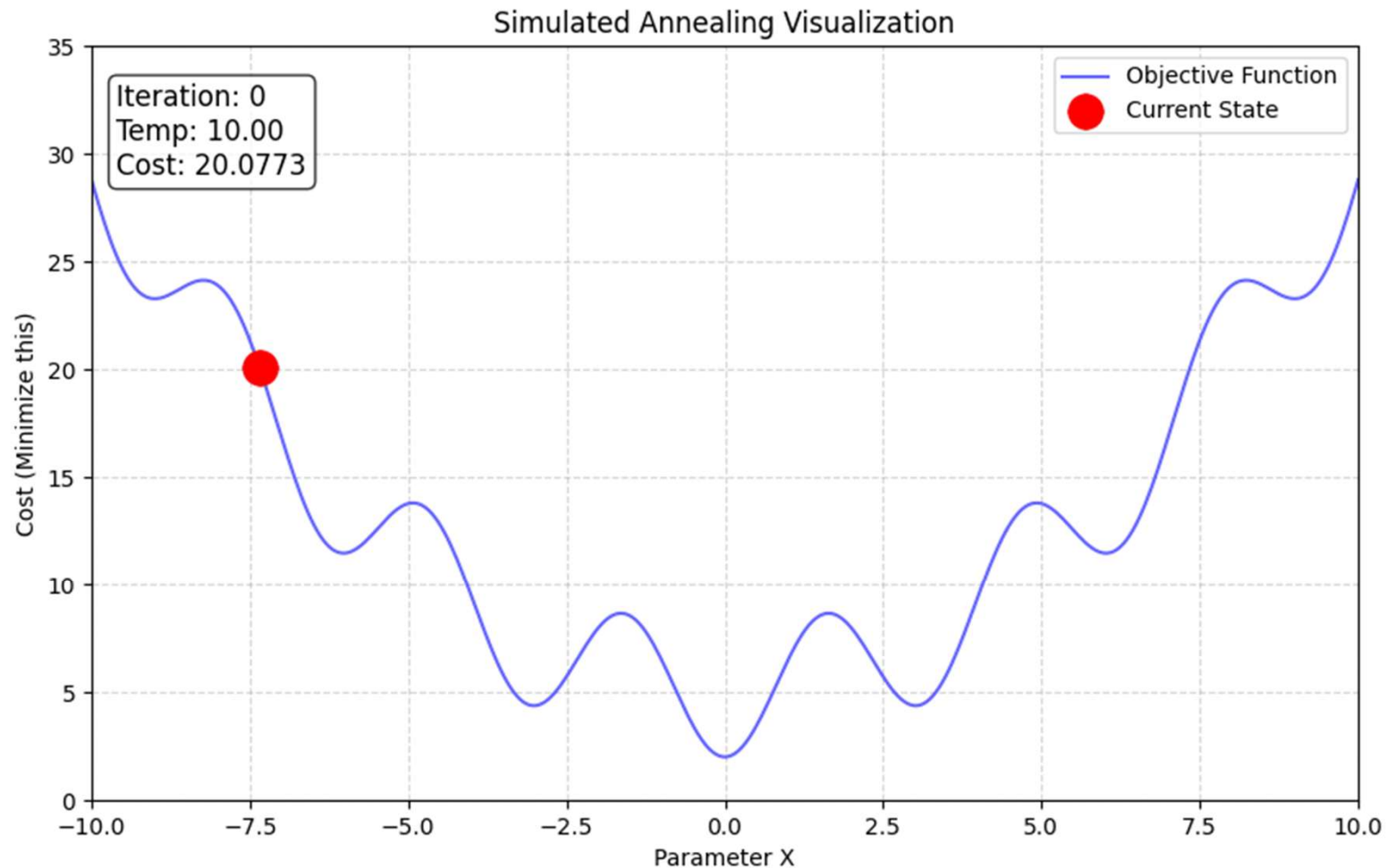
終盤（低温）：変化を小さくし、慎重に詰める → 最適値の近くで微調整を行い、収束させる

実際の処理

1. 候補作成：温度に応じた変化量で新しい素子値を試す
2. sim評価：シミュレータで性能を測定
3. 更新判定：スコア向上 → 即採用
スコア悪化 → 確率的に採用（局所解脱出のため）
4. 冷却：温度を下げて1に戻る（徐々に変化量を小さくする）



動作イメージ



深すぎる局所解は脱出できないが、
人力での設計後なら最適解が近くにあることを期待。



部門3



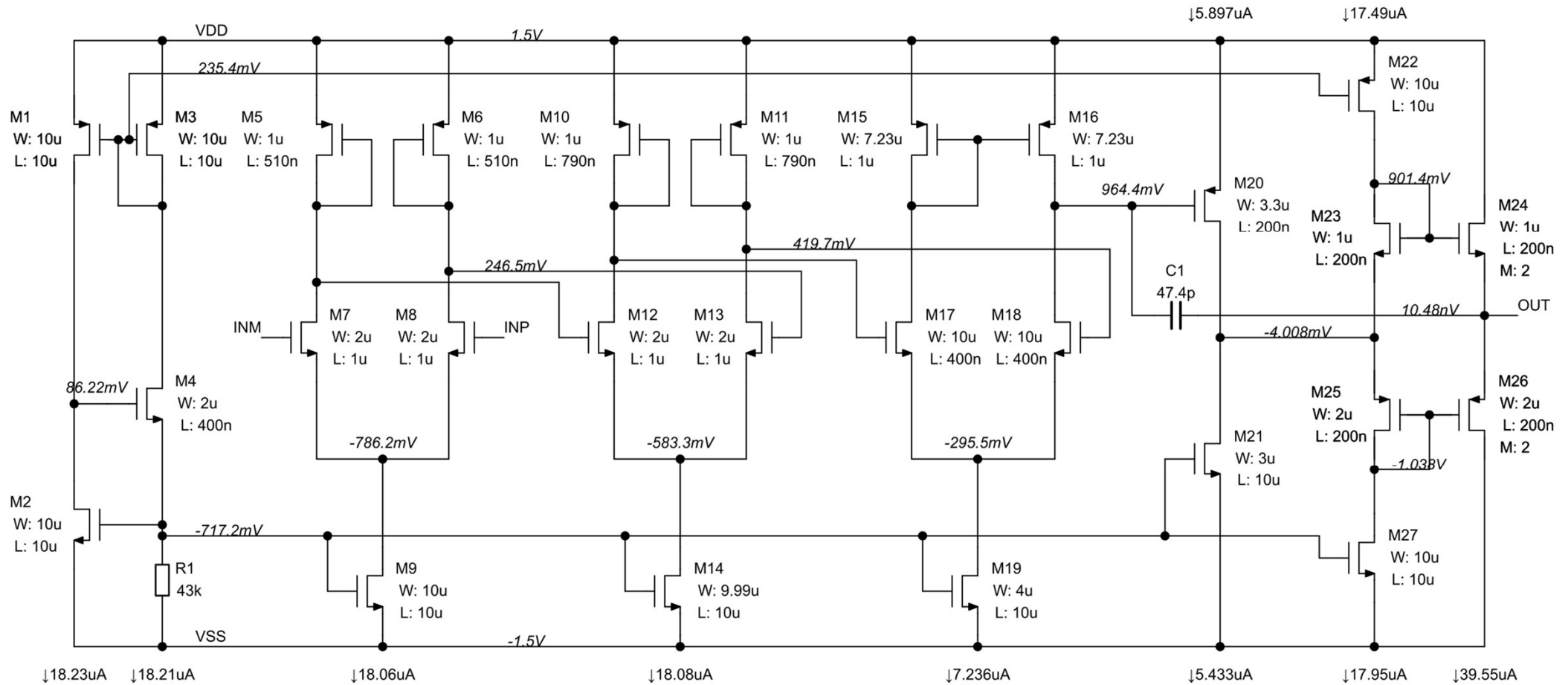
部門3 設計方針

$$\frac{\text{電源電圧変動除去比 [倍]} \times \text{同相除去比 [倍]}}{\text{電源電圧 [V]}}$$

- PSRR、CMRR、利得はdBではなくリニア値で評価
⇒ これらの値は高くする価値がある。特にCMRRは上げやすいパラメータ
- 今年は分母の直流利得が消えた。
⇒ 単純に直流利得は大きい方が良い
- 電源電圧は極端に下げることができないため、高くても問題ない



部門3 回路構成



電源電圧 3V。基準電流源以外のMOSのWを±5%の範囲で最適化。

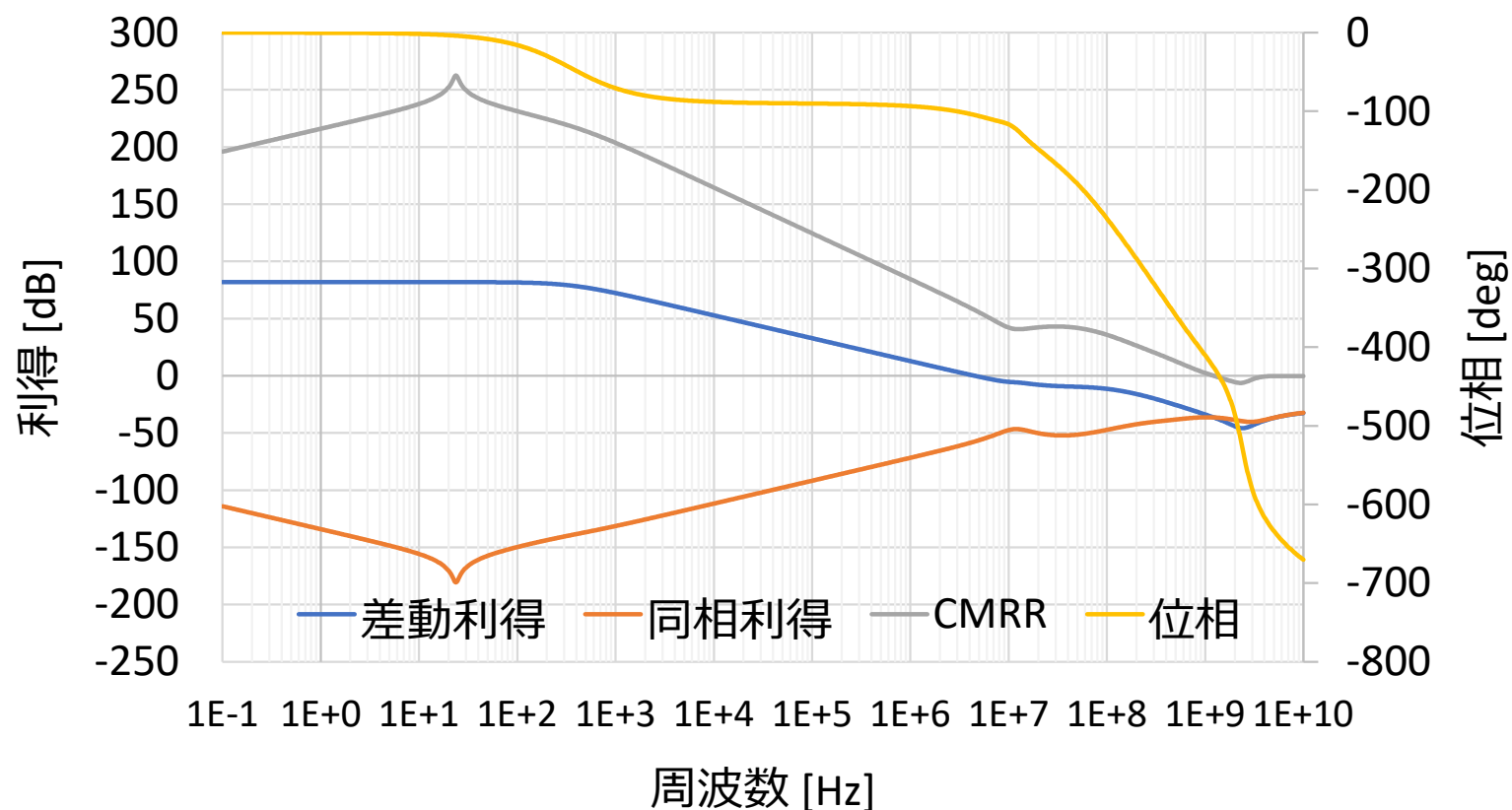
去年からの変更点

M14のW : 10um→9.99um

C1 : 48pF→47.4pF



部門3 同相利得のピーキング



- CMRRは最大値が得点になる
⇒ 各段の同相利得のピークを25Hz付近に集め、高いCMRRを実現



部門3 評価結果

評価項目	最適化前	最適化後
電源電圧変動除去比	84.52dB	84.52dB
同相除去比	262.5dB	262.8dB
電源電圧	3.0V	3.0V

スコア(最適化前) : 7.480e+16
スコア(最適化後) : 7.743e+16

- 最適化前の時点で最適値にかなり近かったといえる



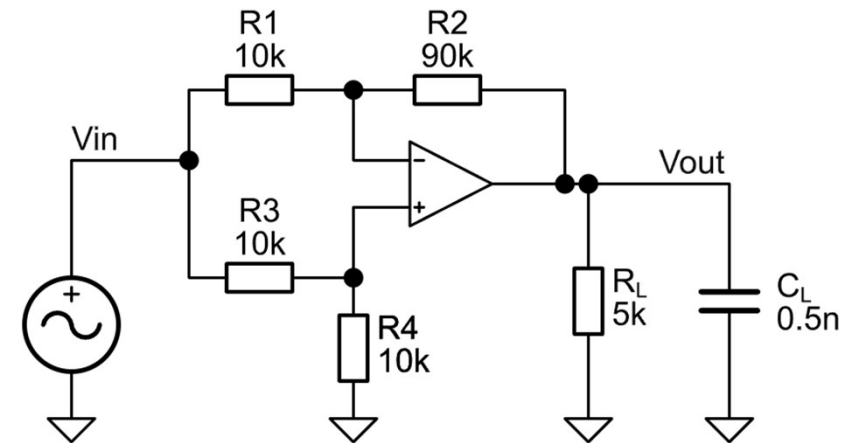
部門4



部門4 設計方針

評価回路の変化（去年比）

- 1/4の小さい負荷抵抗(重い負荷)
 - 1/2の小さい負荷容量
 - 4倍の大きな帰還抵抗
- ⇒ 利得が稼ぎにくい、安定性確保は楽

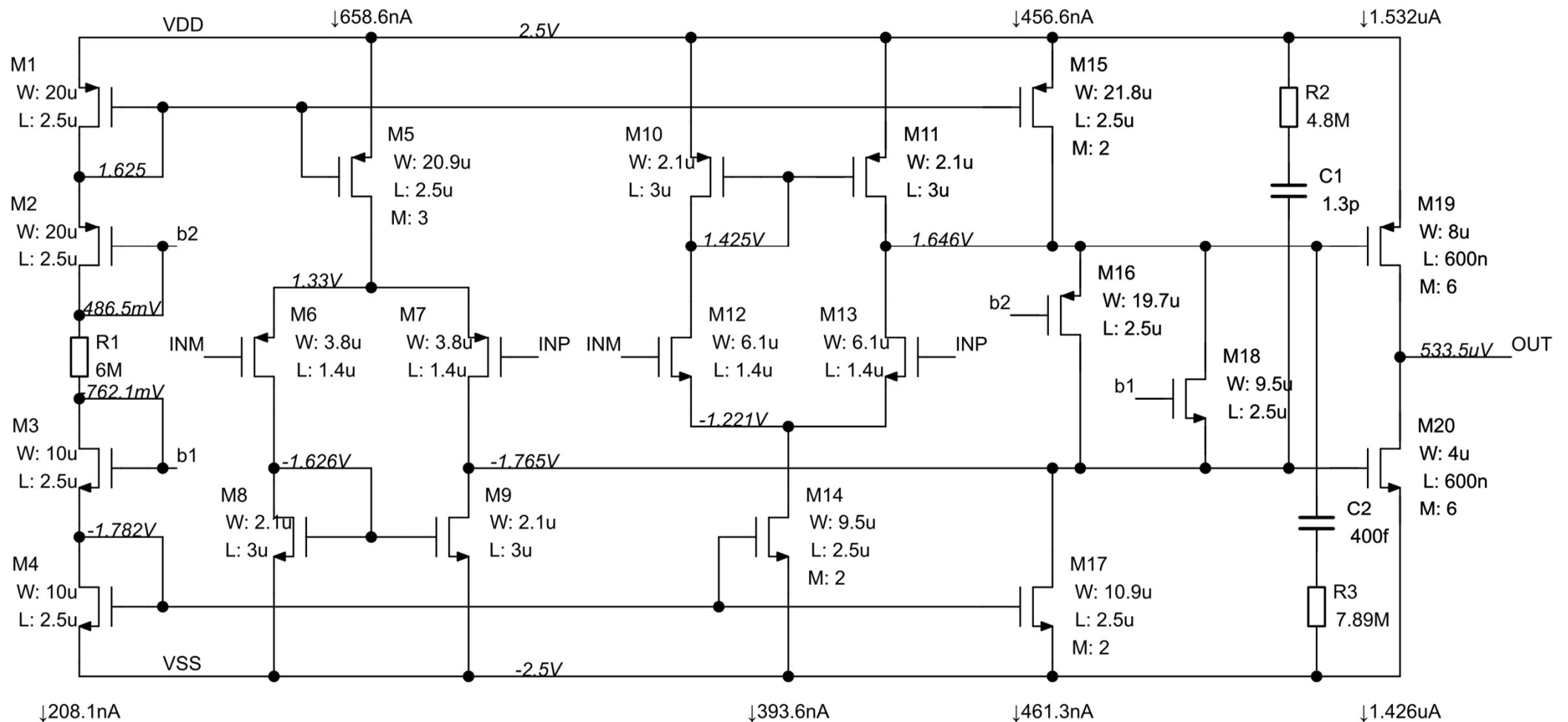


設計方針

- 入出力レールツーレール
- AB級出力段で低消費電力
- 要件ギリギリの特性を攻めて低消費電力



部門4 回路構成



- 電源電圧 5V。RRIO&AB級動作。
- 自力で設計後にさらに最適化 ⇒ 細かな素子値

部門4 評価結果

評価項目	最低要件	最適化前	最適化後
消費電流	-	3.684uA	3.402uA
直流利得	40dB	40.66dB	46.77dB
位相余裕	45度	50.3度	48.87度
スルーレート	1V/us	1.389V/us	1.014V/us
THD	0.1%	0.124% (NG!)	0.09742%
帯域幅	20kHz	35.4kHz	33.13kHz
入力電圧振幅	0.1V	0.6V	0.6V

- 満たせなかったTHDの最低要件を、最適化によって満たすことができた。
- 消費電流は最適化前後で0.3uA程度減少。

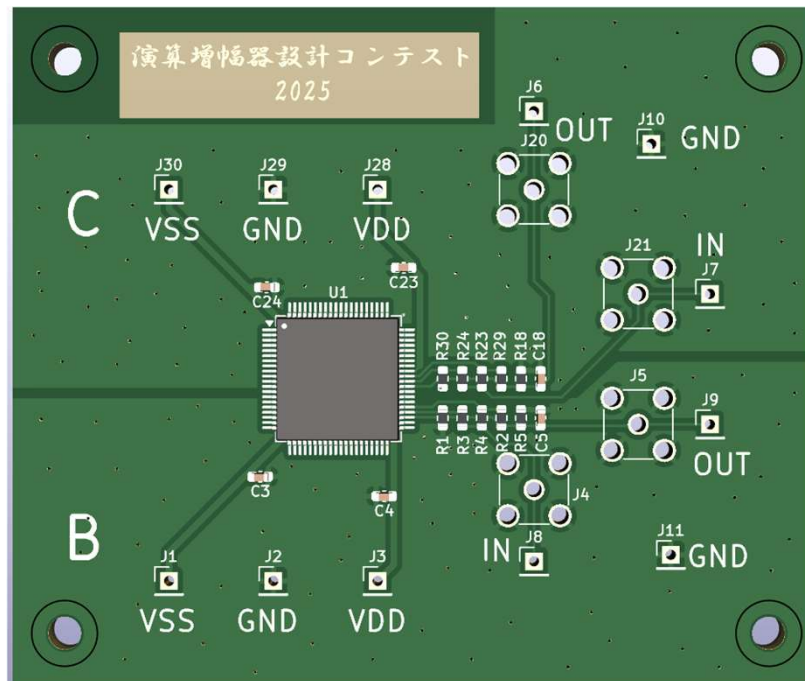
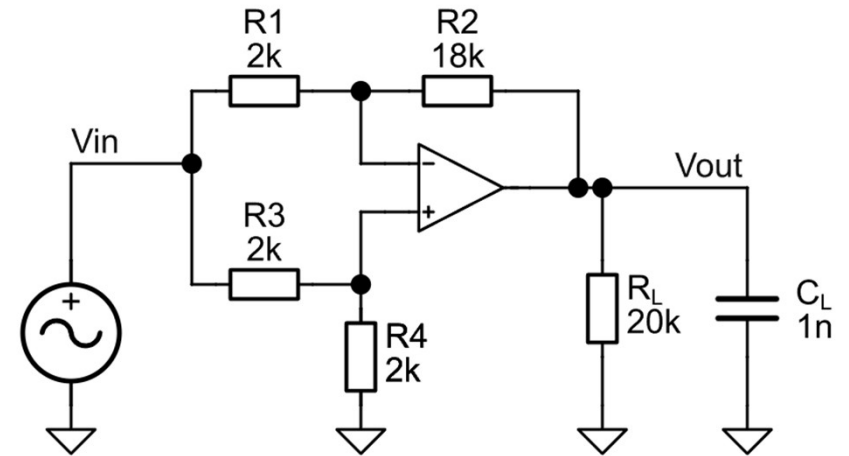


試作の部



試作の部 設計方針

- 入出力レールツーレール
- AB級出力段で低消費電力
- 要件ギリギリの特性を攻めて低消費電力
- そろそろAC特性をそろえたい

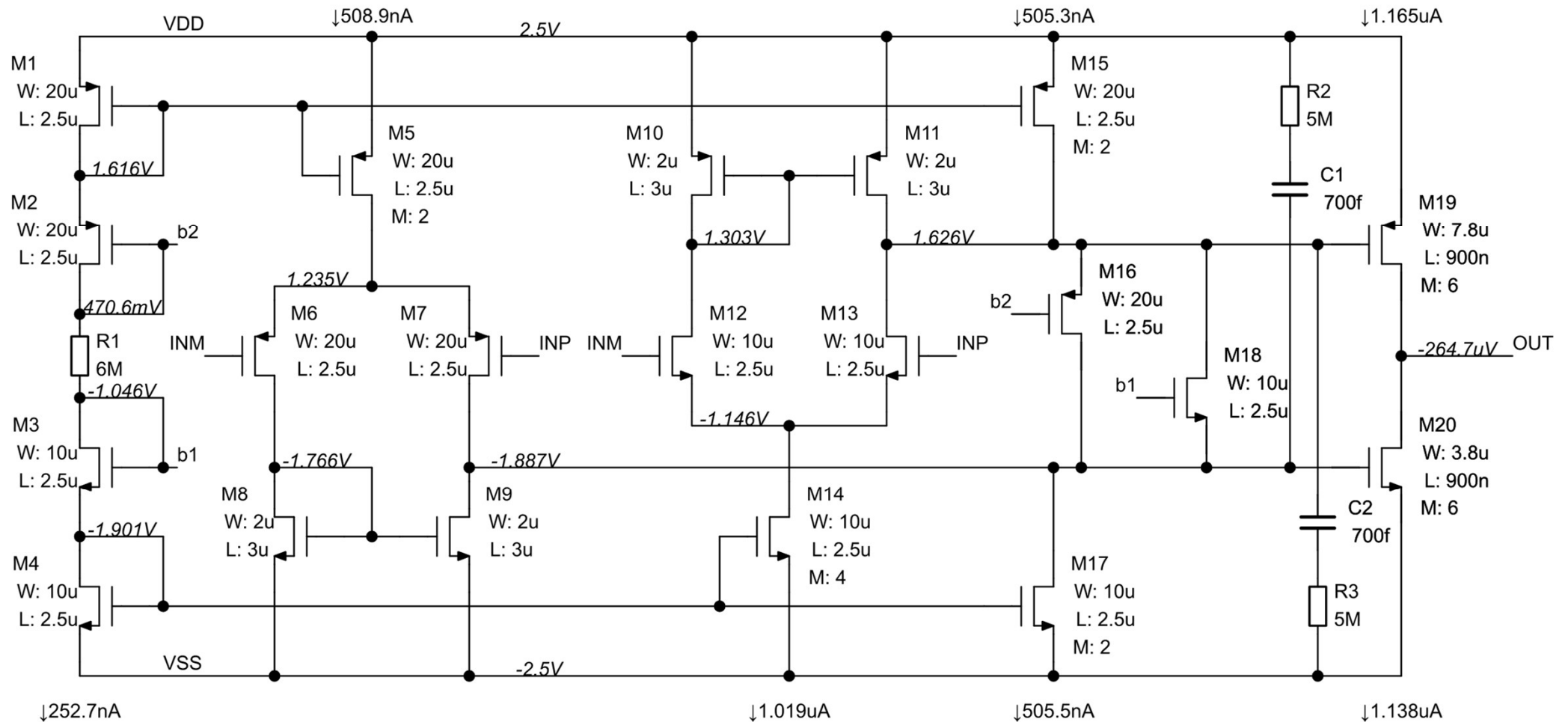


試作の部 評価基板



Analog Discovery 2

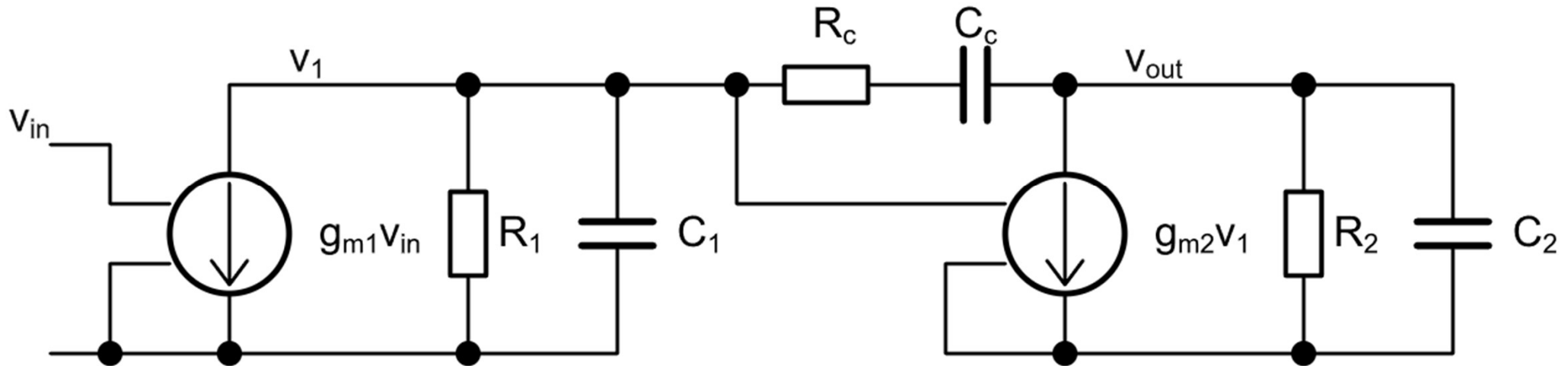
試作の部 回路構成



- MOSキャパシタに大きな電圧をかけて使うことで電圧依存性を減らす
- 少しバランスを崩して更なる低消費電力を目指す。



ミラー補償の問題点



$z_1 = \frac{1}{C_c(1/g_{m2} - R_c)}$ 、 $p_1 = \frac{-1}{g_{m2}R_1R_2C_c}$ 、 $p_2 = \frac{-g_{m2}}{C_2}$ 、 $p_3 = \frac{-1}{R_cC_c}$ が発生。

右半平面ゼロを発生させないためには、

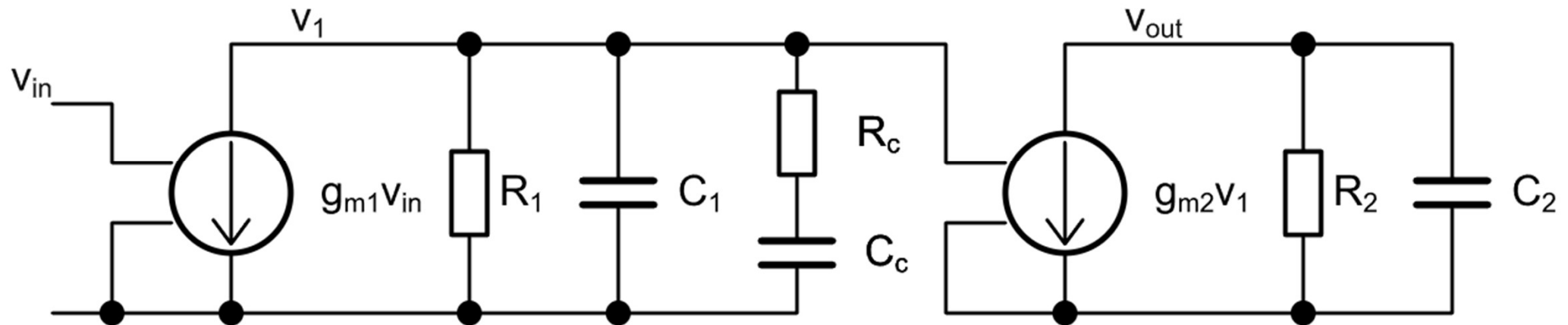
- $R_c = 1/g_{m2}$ とする
- $R_c = \frac{C_c + C_2}{C_c} \times \frac{1}{g_{m2}}$ とする

などの方法があるが、いずれの方法も R_c を自由な値に設定できない。

また、3rdポールの位置は、 $p_3 = \frac{-1}{R_cC_c}$ なので、大きな R_c を設定すると極が接近して不安定。



シヤント補償



$z_1 = \frac{-1}{R_c C_c}$ 、 $p_1 = \frac{-1}{(R_1 + R_c) C_c}$ 、 $p_2 = \frac{-1}{R_2 C_2}$ 、 $p_3 = \frac{-1}{(R_1 // R_c) C_1}$ が発生。

右半平面ゼロは発生しない。

ポールスプリットできないので安定設計の難易度は高い。

一方で R_c の値は比較的自由。

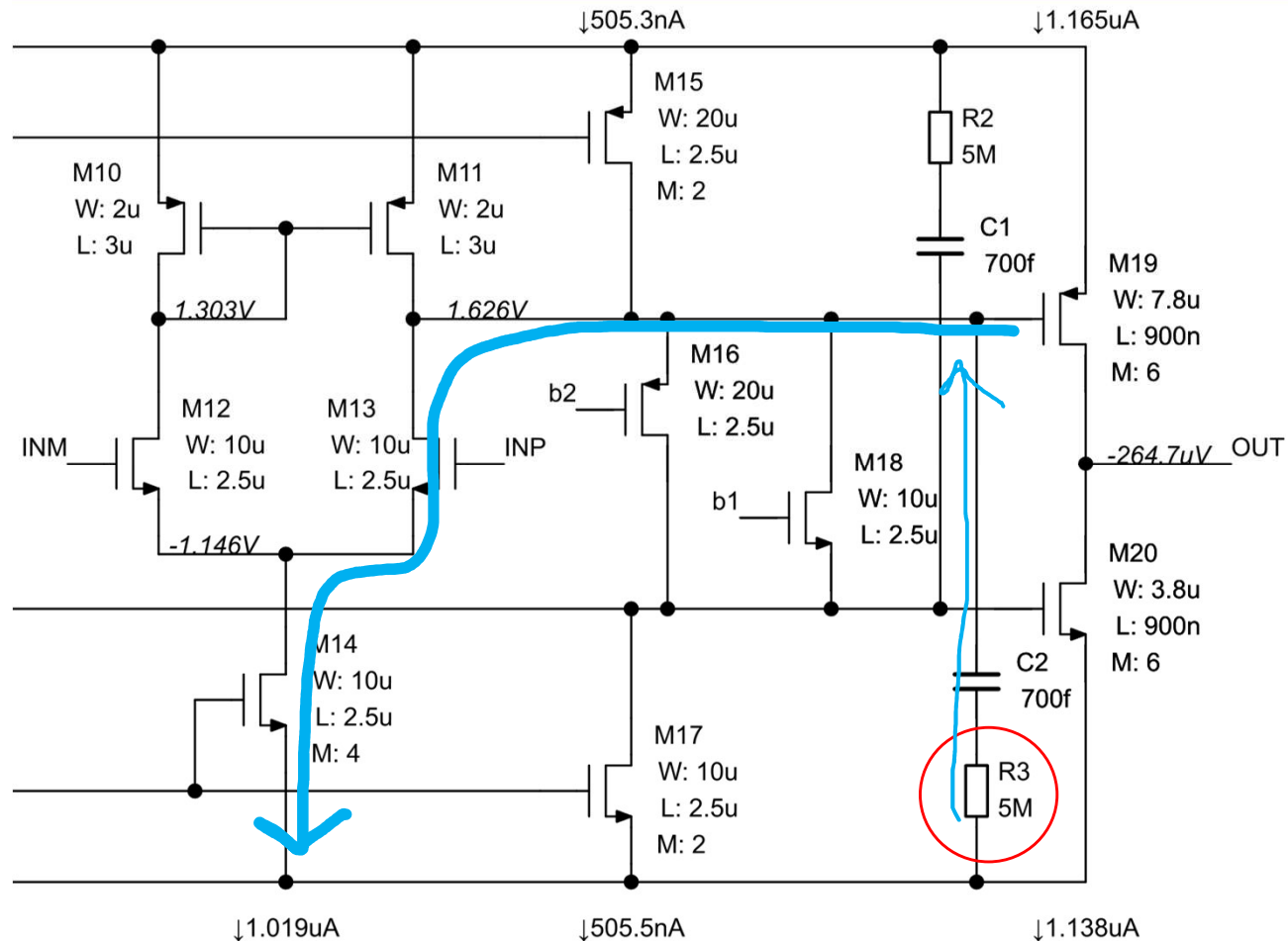
$(R_1 + R_c)$ を巨大にする $\Rightarrow p_1$ がドミナント。

C_2 は 1nF と巨大なため、 p_2 が数十 kHz にある。これを z_1 で打ち消す。

p_3 は数百 kHz になる。



巨大な R_c の効果



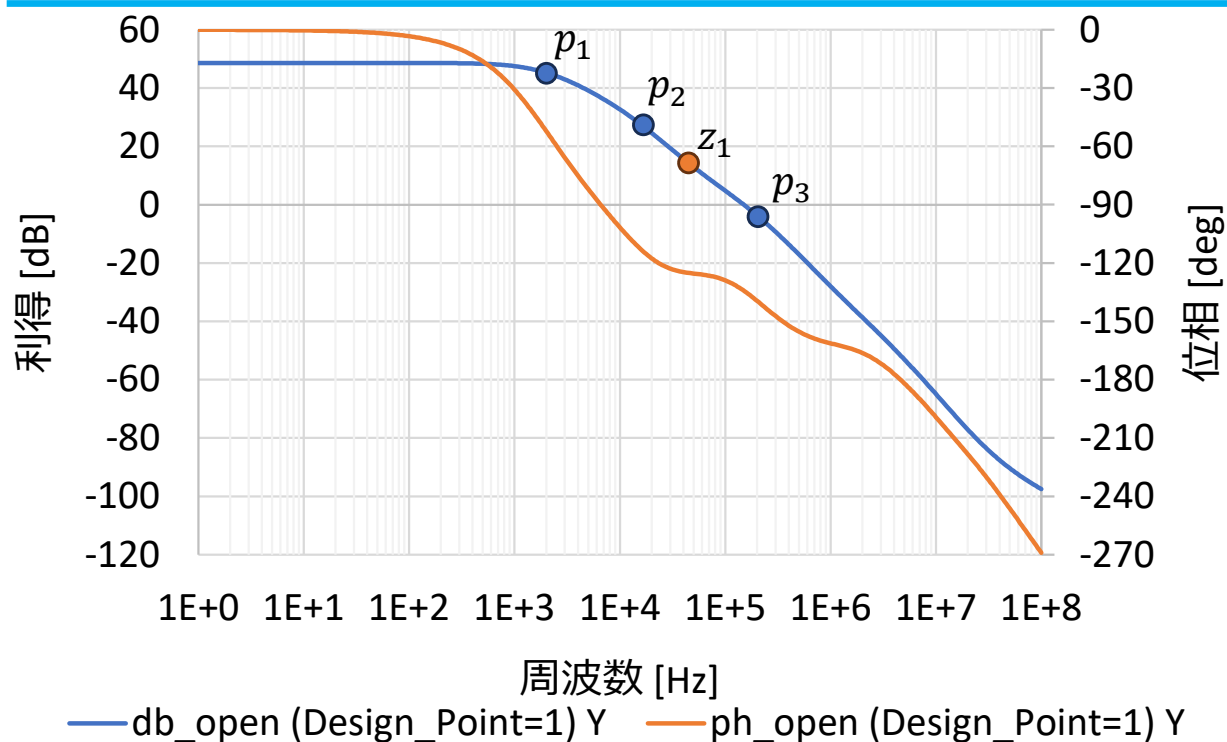
R_c を巨大にすることの時間領域的意味

5MΩのおかげで初段テール電流は次段駆動に専念

⇒時定数は大きくなるので整定は遅いが、低消費電力&大SR



設計したポールとゼロの位置



開ループAC特性のsim

PM=45.76度

GM=52dB

$C_c = 700\text{fF}$ 、 $R_c = 5\text{M}\Omega$ として、

$$z_1 = \frac{-1}{R_c C_c}, \quad p_1 = \frac{-1}{(R_1 + R_c) C_c}, \quad p_2 = \frac{-1}{R_2 C_2}, \quad p_3 = \frac{-1}{(R_1 // R_c) C_1}$$

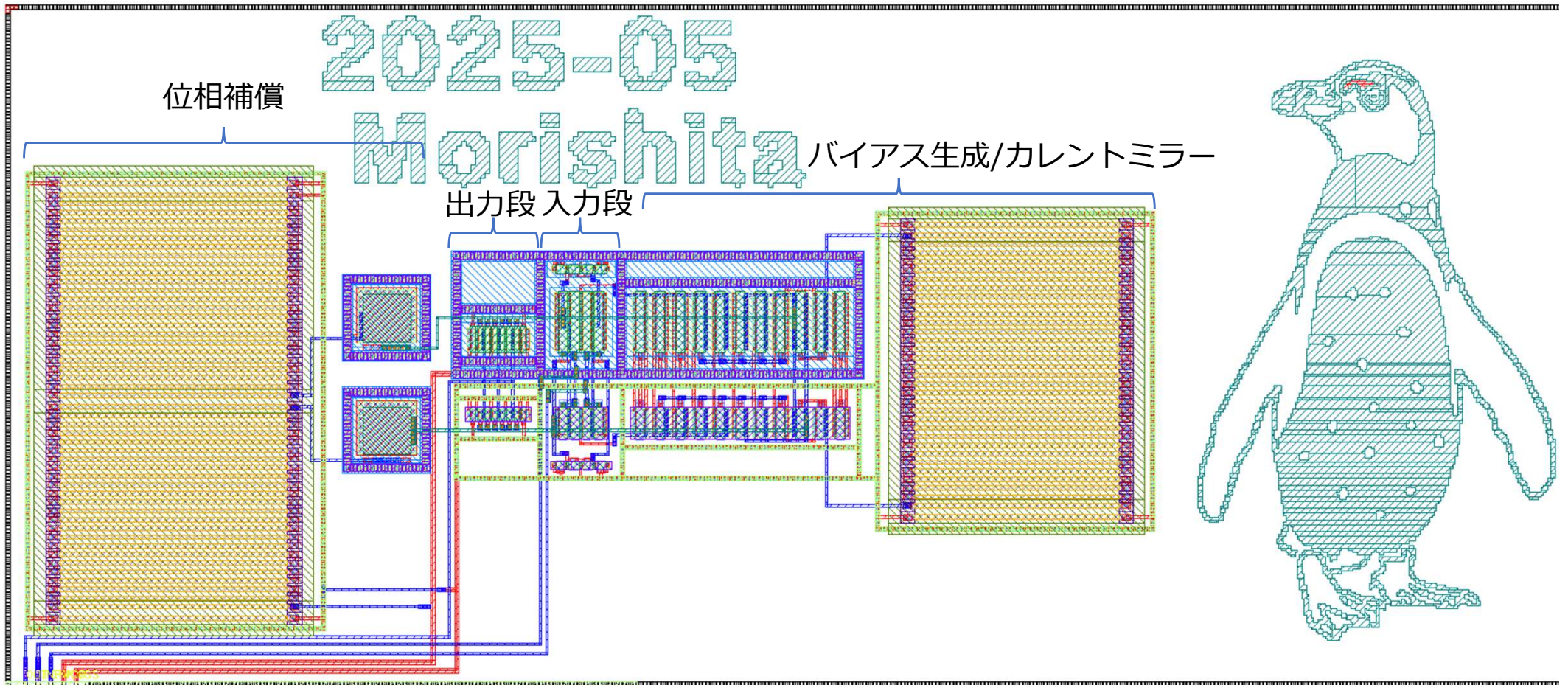
をそれぞれ次のようにした。

$$z_1 = 45.5\text{kHz}, \quad p_1 = 1.9\text{kHz}, \quad p_2 = 16\text{kHz}, \quad p_3 = 207\text{kHz}$$

z_1 と p_2 を同じ周波数にはしていない

$\Rightarrow R_c$ を大きくしすぎると p_3 低下で位相余裕悪化に繋がるため

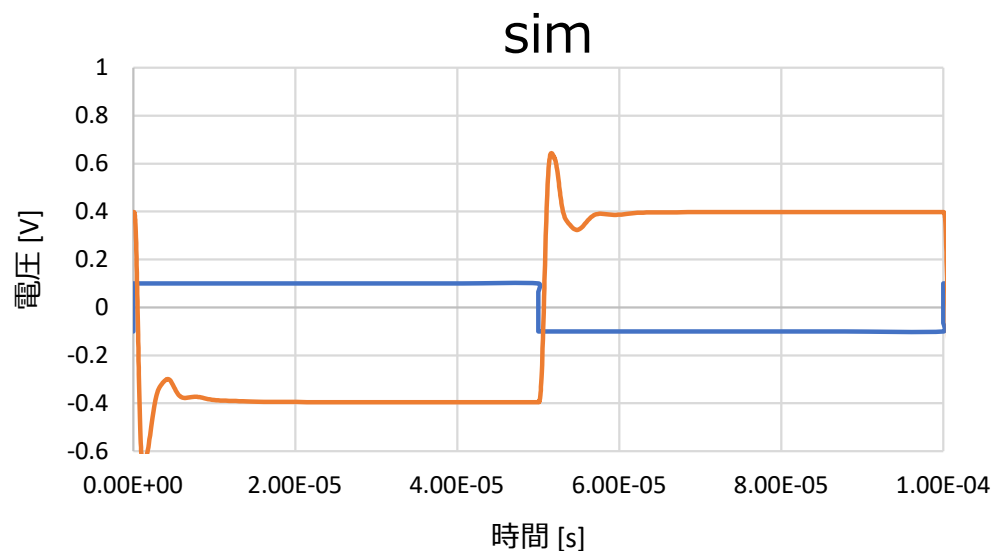
試作の部 レイアウト



- マッチングを意識したレイアウト
- すべてのトランジスタと抵抗にダミーを配置

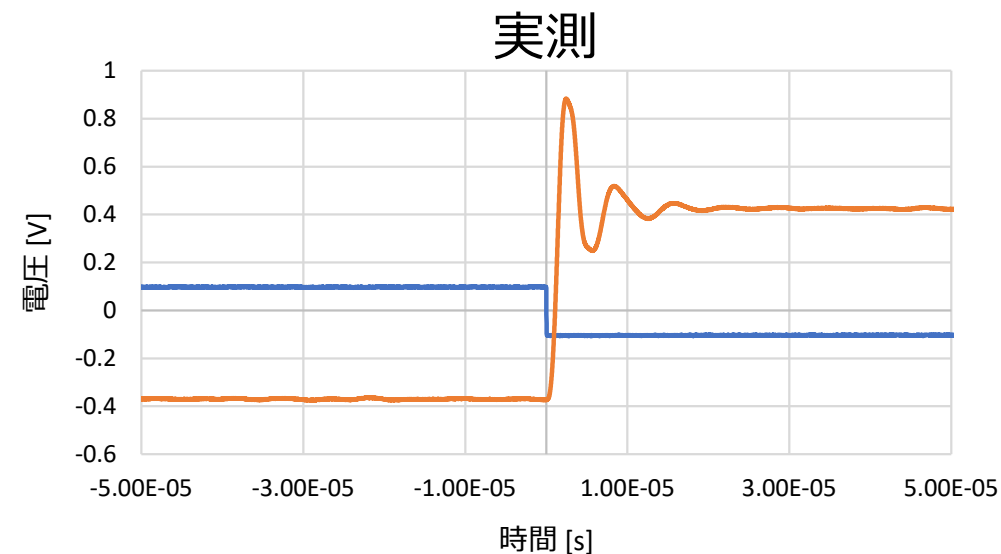


試作の部 測定結果 (スルーレート)



— in_sr (Design_Point=1) Y — out_sr (Design_Point=1) Y

-1.45V/us / +1.03V/us



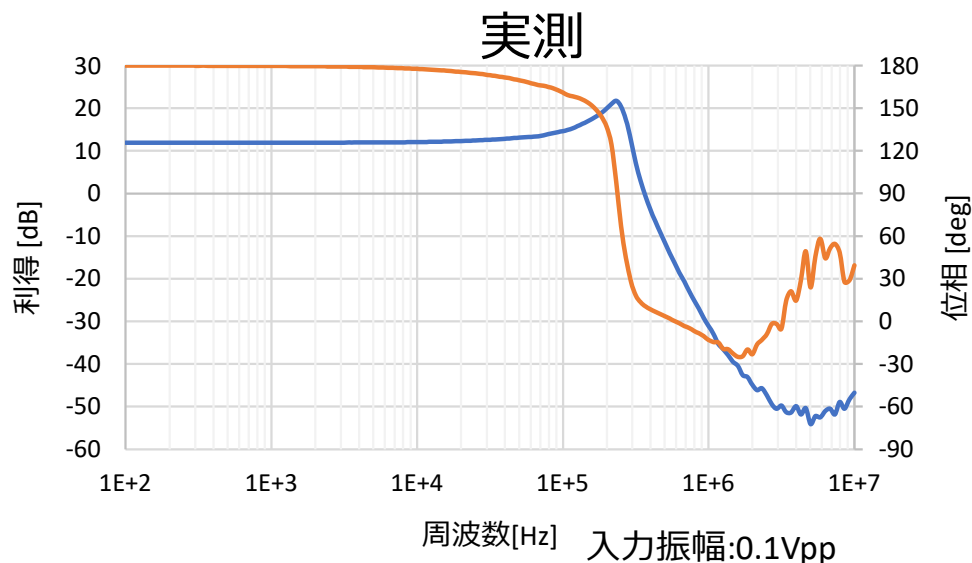
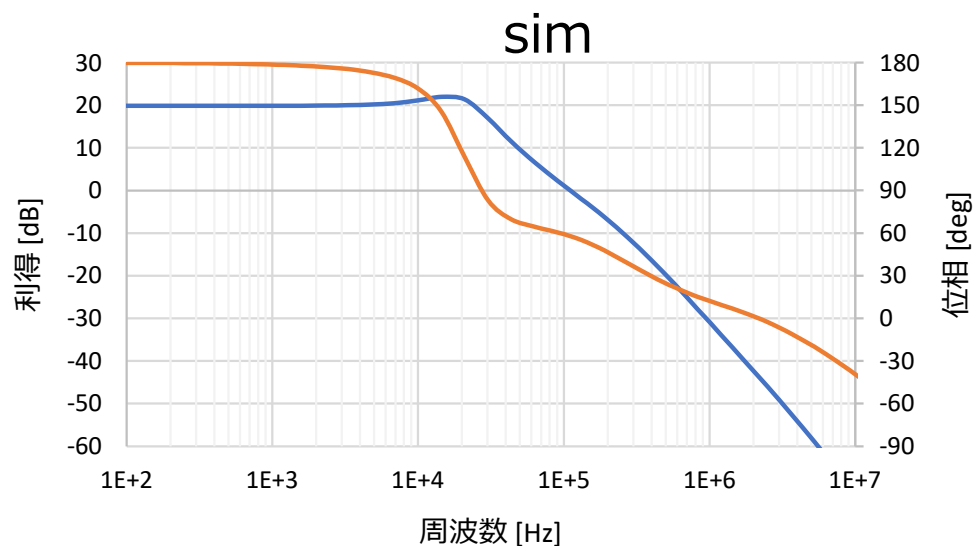
— Channel 1 (V) — Channel 2 (V)

-0.93V/us / +0.72V/us

- 実測ではリンギングが大きい
- SRが遅くなった



試作の部 測定結果 (閉ループ周波数特性)



- 帯域が拡張し、位相余裕がほとんど無くなった



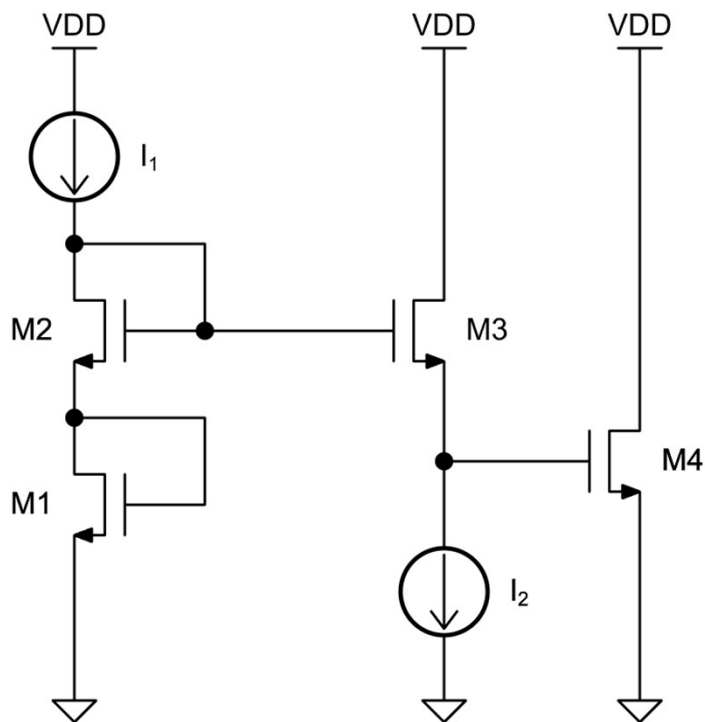
試作の部 測定結果まとめ

評価項目	要件値	sim結果	実測
スルーレート	±1 V/us	-1.45 V/us / +1.03 V/us	-0.93 V/us / +0.72 V/us
帯域幅	20 kHz	40.98 kHz	307 kHz
閉ループ利得	-	11.67dB	11.93dB
入力電圧範囲	±100 mV	±230 mV	±236 mV
出力オフセット	-	-265uV	-17.5mV
消費電流	-	3.44 uA (+3.45uA/-3.423uA)	4.42 uA (+3.55uA/-5.28uA)

- DC的なずれが大きい
⇒ 電流のずれはオフセットと負荷によるもの大きいと予想
 $17.5\text{mV}/(20\text{k}\Omega//20\text{k}\Omega)=1.75\text{uA}$
- AC的なずれも大きい
⇒ DCがずれて動作点がずれたのでは



AB級バイアス回路(強反転)



$M1=M2=M3=M4$ 、 $I_1=I_2$ とすると、

$I_{D,M2} = I_{D,M3}$ なので $V_{GS,M2} = V_{GS,M3}$ である。

すると $V_{GS,M1} = V_{GS,M4}$ になり、 $I_{D,M4} = I_{D,M1} = I_1$ となる。

V_{th} がすべて同一ならばらつきに強い。

一方で出力段のバイアス電流を3か所に流すことになり、消費電力が大きい。

⇒ コンテストではM4のみ大きさを変えたい。

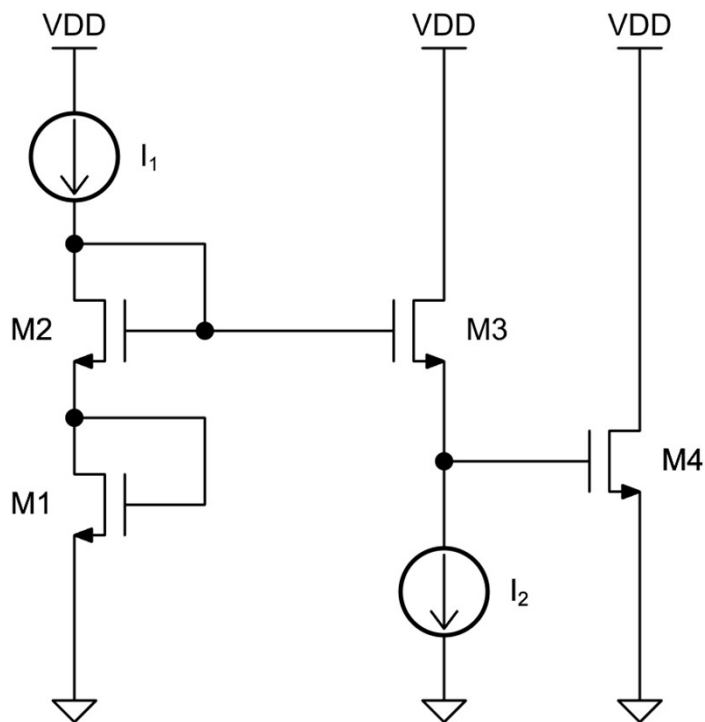
$M1=M2=M3$ として、 $I_{D,M4}$ について解くと、

$$I_{D,M4} = \frac{\beta_{M4}}{2} \left((V_{th} - V_{th,M4}) + \sqrt{\frac{2}{\beta}} (2\sqrt{I_1} - \sqrt{I_2}) \right)^2$$

V_{th} のばらつきは2乗で効く。



AB級バイアス回路(弱反転)



低消費電力のため、弱反転領域で動かすとする。

弱反転領域でのドレイン電流は

$$I_D = I_0 \frac{W}{L} \exp\left(\frac{V_{GS} - V_{th}}{nV_T}\right)$$

と近似される。

M1=M2=M3として、 $I_{d,M4}$ について解くと、

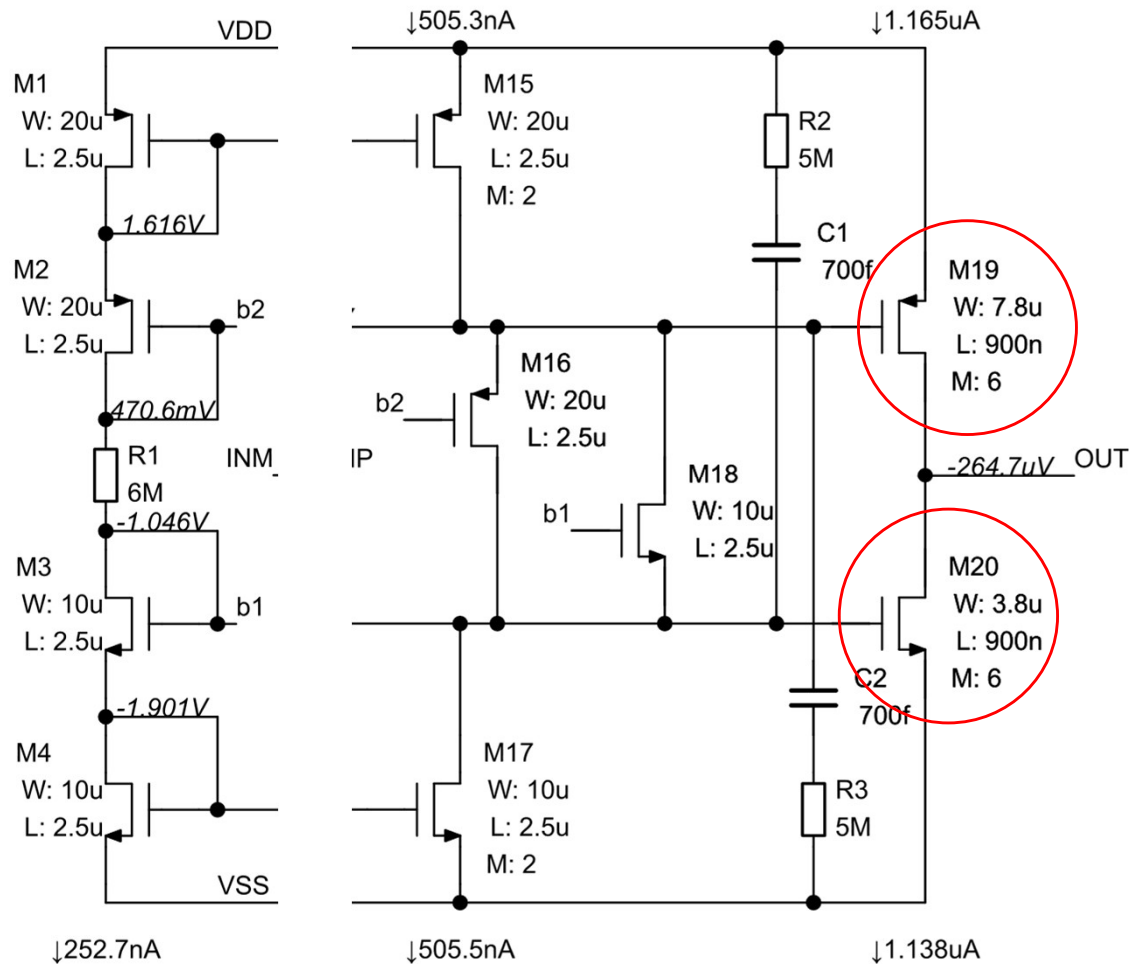
$$I_{d,M4} = \frac{(W/L)_{M4}}{(W/L)} \times \frac{I_1^2}{I_2} \times \exp\left(\frac{V_{th} - V_{th,M4}}{nV_T}\right)$$

V_{th} のばらつきはexpで効くので感度が高い！

⇒ 各Trのサイズを大きくする、アスペクト比をそろえる、レイアウトに気を付ける等が必須。



今年の回路で何をしたか？



①NMOSに対してPMOSのWを2倍とした。

②出力段のM19とM20のみ2.053倍とした。
(去年はすべて2倍にそろえていた)

③Vthのばらつき方の僅かな差が、expにより巨大なずれとなり、オフセットを生んだのでは。

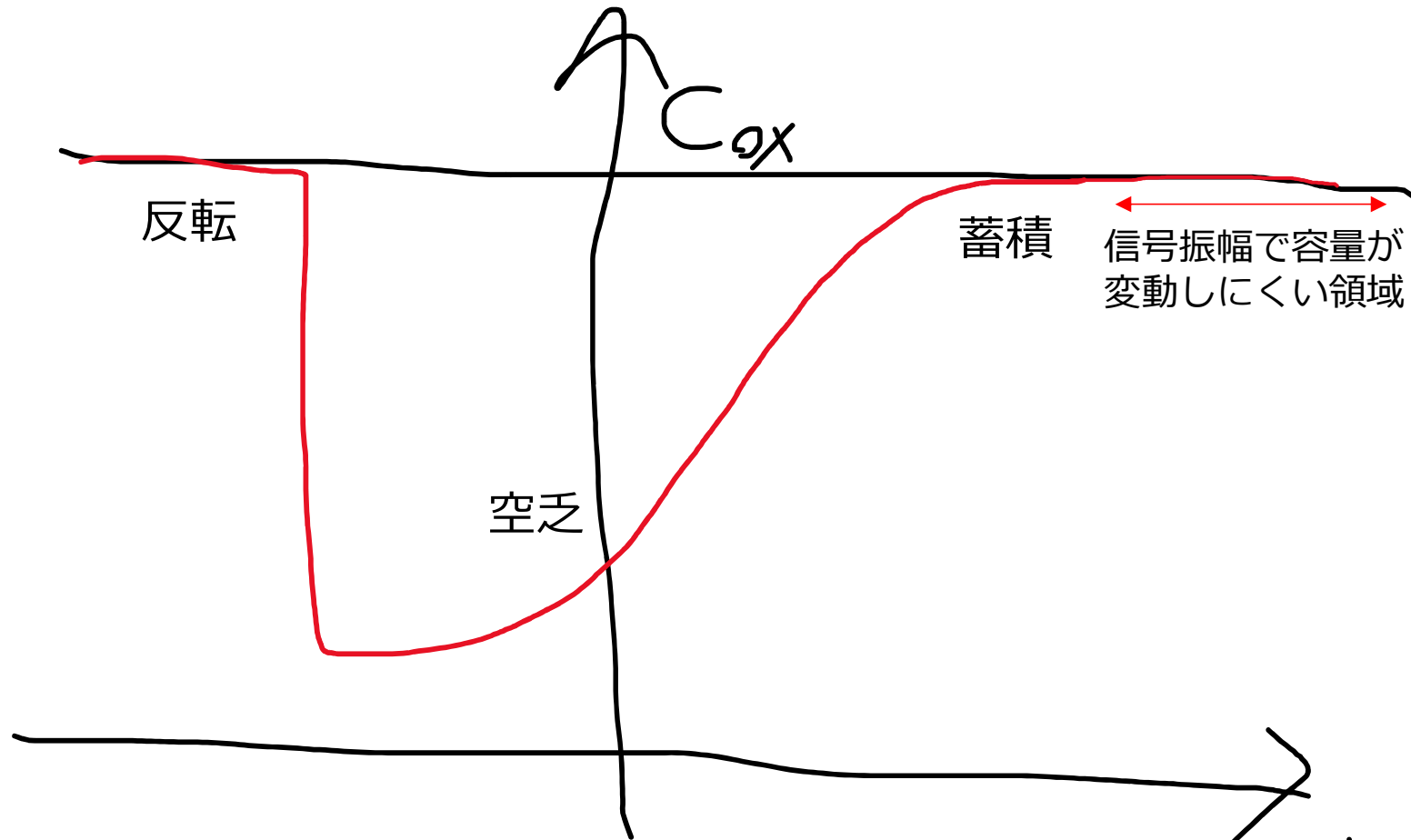
今年の回路
バイアス部のみ抜粋

AC特性をそろえたい

コンテストで使えるキャパシタはMOSキャパシタ。

⇒ 容量値に電圧依存性あり。

蓄積モードで使えるよう十分に高いDC電圧をかけて使うべきではないか。

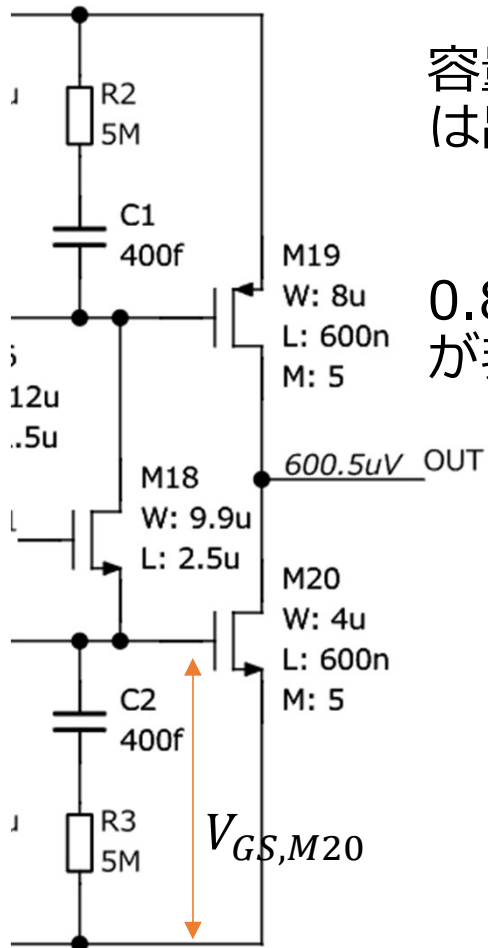


PMOSキャパシタの電圧依存性



位相補償RCの置き方

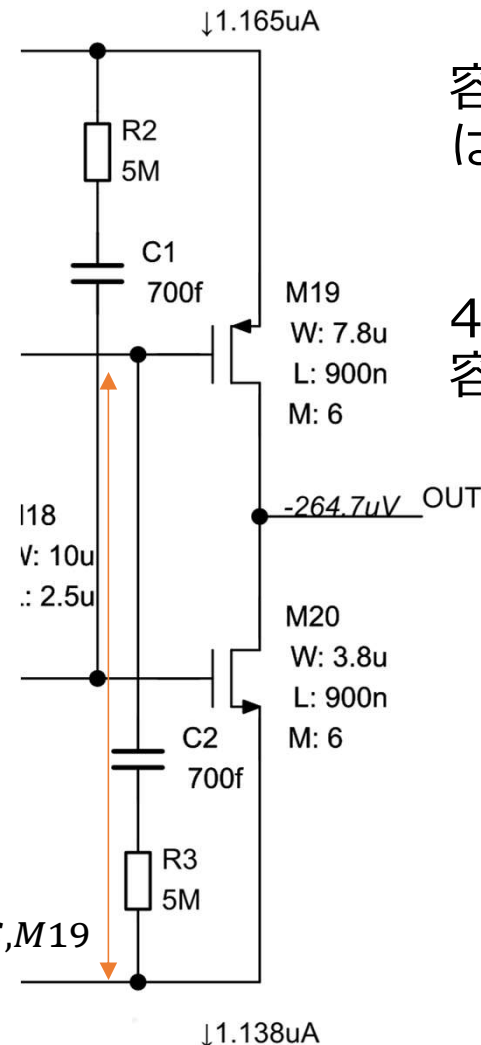
去年の回路



容量の両端にかかるのは出力TrのVGSのみ。

0.8V程度なので容量値が非常に小さい領域。

今年の回路



容量の両端にかかるのはVDD - VGS。

4V以上かかるので、容量値が安定。

しかし実測は大きくずれた

開ループゲインの推測

評価項目	要件値	sim結果	実測
スルーレート	±1 V/us	-1.45 V/us / +1.03 V/us	-0.93 V/us / +0.72 V/us
帯域幅	20 kHz	40.98 kHz	307 kHz
閉ループ利得	-	11.67dB	11.93dB
消費電流	-	3.44 uA (+3.45uA/-3.423uA)	4.42 uA (+3.55uA/-5.28uA)

閉ループ利得GとノイズゲインNGを使うと開ループゲインAは、

$$A = NG \times \frac{G}{G_{ideal} - G}$$

よって実測では、

$$A_{meas} = 10 \times \frac{3.949}{4 - 3.949} = 774\text{倍}$$

※感度が高い推定式なので A_{meas} は参考値。抵抗の許容差1%(3σ)を仮定すると、90%の確率で470倍～2130倍となる。

simでは

$$A_{meas} = 48.6\text{dB} = 270\text{倍}$$

2.9倍(9.2dB)近く利得が増えている&電流が1.3倍になっている

⇒ 初段ゲイン増加、出力段Ro低下が起きた？



試作の部 分析まとめ

DC的には

- あえて外したマッチングが想定以上のオフセット増につながった
- 差動対の電流減→SR低下 & r_o 増大によるDC利得向上
- 非対称な出力段の電流増→オフセット増加

AC的には

- ポール周波数が近いのにポールスプリットを使っていない
⇒ SR確保のためだが、ばらつきに弱い
- 出力段のポールが、 R_o 減少により高周波へ移動、RCによるゼロ(45kHz)の位置が不適切となった。
⇒ シャント補償の変動に対する脆弱さが顕在化した

ロバストなオペアンプに必要なことと逆のことをして消費電力の最小化とSRの最大化を目指した結果。



感想

- コンテストに縛られない自由なオペアンプも作ってみたい
- 感度解析は大事
- simの部における最適化の強さを実感
- 開ループ周波数特性を測りたい

謝辞

- 本コンテストには3年間にわたり参加させていただきました。アナログ回路設計の奥深さと楽しさを肌で感じ、技術者として大きく成長することができたように思います。このような貴重な研鑽の場を与えてくださった運営の皆様、ならびに多大なるご支援を賜りました協賛企業の皆様に、心より感謝申し上げます。



おまけ

参考にした本たち(主観)

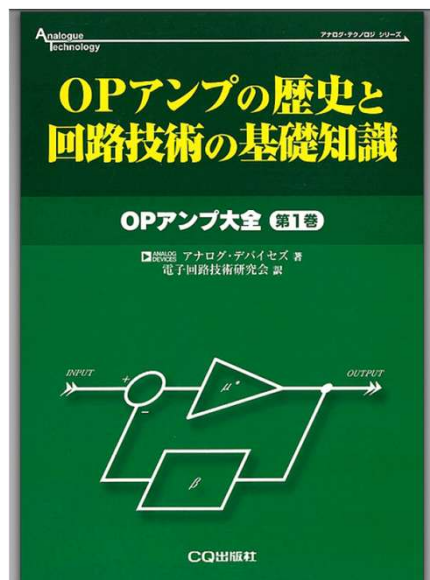


オペコンに役立った本たち①



アナログCMOS集積回路の設計

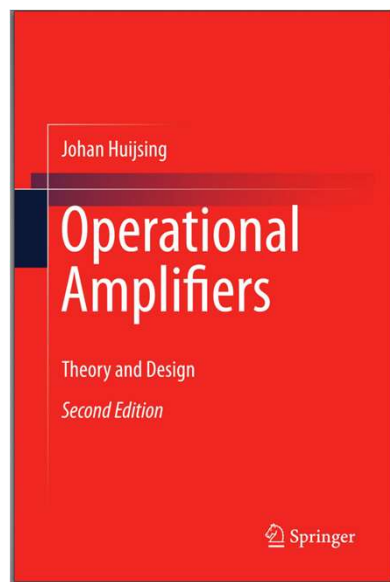
- CMOS回路の基本的な動作/設計法を解説。
- 最近第2版の翻訳版が出た。全体的に説明が追いやすくなった印象。



オペアンプ大全

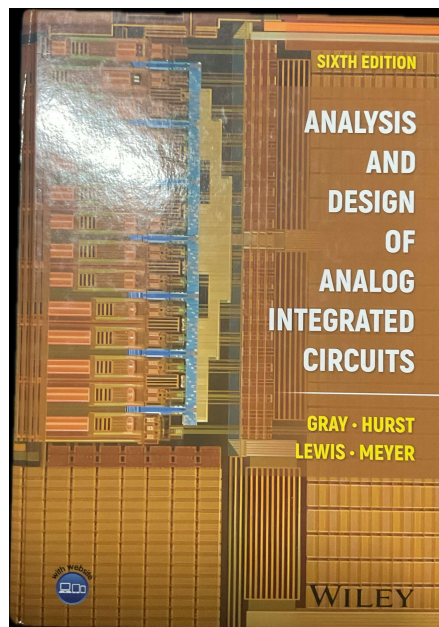
- オペアンプの歴史から応用回路まで幅広く網羅。
- 自分が何を作っているのかをよく知れる。

オペコンに役立った本たち②



Operational Amplifiers Theory and Design (2nd Edition)

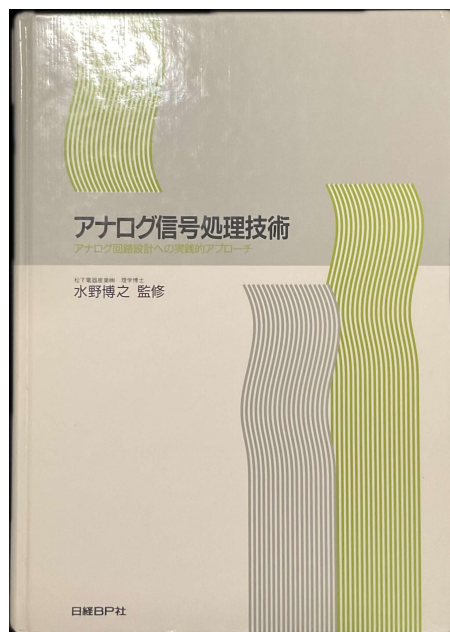
- 8Tr2段オペアンプより発展的なトポロジを多く解説。
- 各増幅ステージの基本トポロジを知れる。
- 設計例が豊富で全体設計まで見通した設計が学べる。



Analysis and Design of Analog Integrated Circuits (6th Edition)

- BJTとCMOS両方を解説。Razaviは実務、こちらは理論に強い印象。
- 回路がどう動いているのかを徹底的に学べる。
- 6th Editionで追加された項目もかなり役立った。

オペコンに役立った本たち③



アナログ信号処理技術

- 数学と回路がどう結びつくのか、制御工学とアナログ回路の橋渡しの本。
- 伝達関数とフィードバックについて、回路的な視点で学べる。
- 残念ながら絶版本。

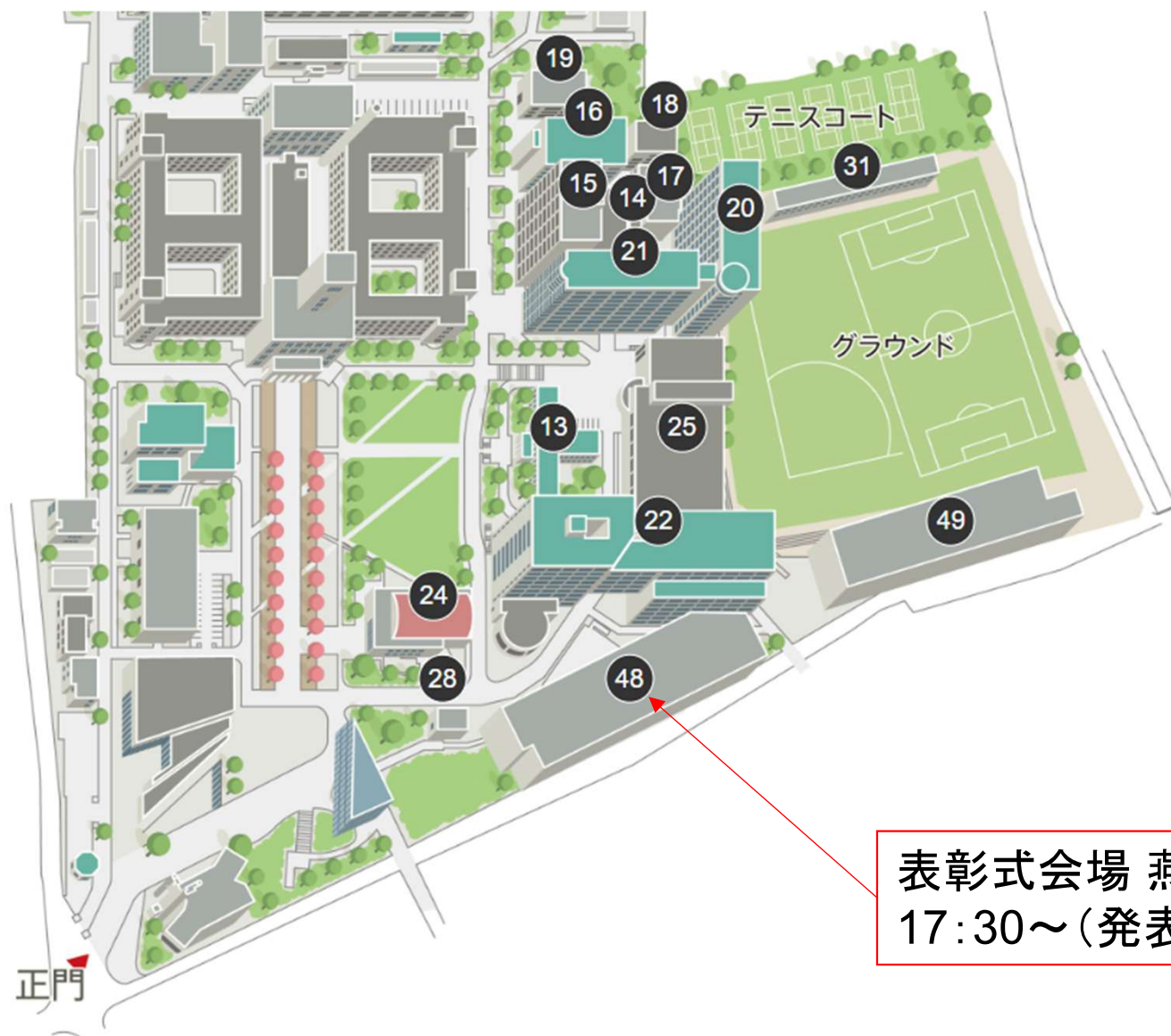


電子情報通信学会「知識の森」

<https://www.ieice-hbkb.org/portal/>

- Web上の知識ベース。
- 電子情報通信分野の幅広い技術を解説。コモンセンスの形成に役立つ。
- CMOSアナログ集積回路も充実。

表彰式のご案内



表彰式会場 燕テラス 南側ホールC
17:30～(発表会終了次第)