

## 2023 年演算増幅器設計コンテスト デザイン部門概要

### 1. 審査項目

図 1(a)に示す利得が-10 倍の増幅器回路における無信号時の消費電力

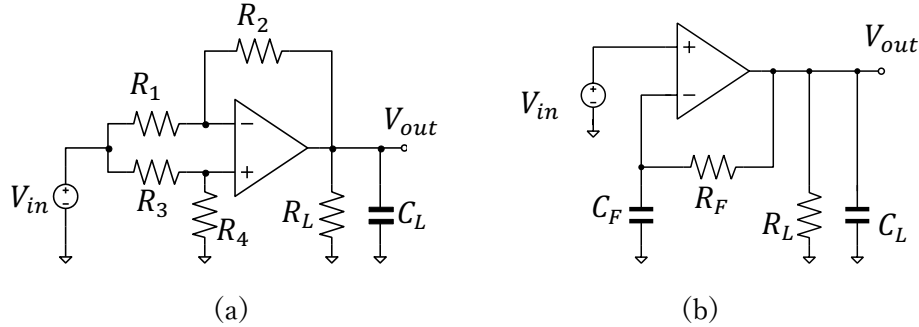


図 1：評価回路 ( $R_1 = R_3 = R_4 = 10\text{k}\Omega$ ,  $R_2 = 210\text{k}\Omega$ ,  $R_F = 1\text{T}\Omega$ ,  $C_F = 10\text{mF}$ ,  $R_L = 20\text{k}\Omega$ ,  $C_L = 1\text{nF}$ )

### 2. 要件

デザイン部門はフェニテック社 0.6um CMOS モデルパラメータを使用する。本部門における演算増幅器の応募要件を表 1 に示す。

表 1：デザイン部門要件

項目	要件	備考
電源電圧	5V	固定
直流利得	40dB 以上	図 1(b)
位相余裕	45 度以上	図 1(b)、負荷容量±10%変動
帯域幅	20kHz 以上	図 1(a)
出力オフセット電圧	±100mV 以下	図 1(a)
入力電圧範囲	±100mV 以上	図 1(a)
スルーレート	±1V/us 以上	図 1(a)
全高長波歪	0.1%以下	入力：1kHz,振幅 1mV, DC オフセット 0V,図 1(a)
占有面積	0.2mm <sup>2</sup> 以内	

### 3. 評価方法

#### 3.1. 直流利得

評価方法：図 1(b)における 0.1Hz での利得を求める

補足：現行のシミュレーションの部と同じ方法試作の部では図 1(a)の評価回路において、十分に低い周波数(100Hz)での正相増幅器の利得誤差が理論値の 10%以内としており、ばらつきなどを考慮し、余裕を持って 40dB 以上の直流利得を有することを要件とする。出力抵抗を考慮していないため無負荷での直流利得と異なる。

### 3.2. 位相余裕

評価方法：0.1Hz～単一利得周波数における  $\min(180 \text{ 度} + \text{位相回転})$  の値を求める。

補足：1(b)にて負荷容量を 0.9nF, 1nF, 1.1nF の時の位相余裕をそれぞれ求め、その内、最も小さい値を位相余裕とする。

### 3.3. 帯域幅

評価方法：図 1(a)における-3dB 周波数を求める。

補足：0.1Hz における利得を基準値として、その基準値から利得が最初に 3dB 下がった時の周波数を-3dB 周波数とする。

### 3.4. 出力オフセット電圧

評価方法：図 1(a)において  $V_{in} = 0V$  とし、動作点解析を行い、出力電圧を求める。

### 3.5. 入力電圧範囲

評価方法：図 1(a)において入力電圧を掃引し、出力電圧が飽和し始める入力電圧の値を求める。図 2 に示すように、入力直流電圧  $V_{in}$  を変化させ、出力電圧の理論値 ( $V_{out} = -10V_{in}$ ) とシミュレーション値をそれぞれ  $V_{pi}, V_{ni}$  と  $V_{ps}, V_{ns}$  とし、

$$\left(1 - \text{abs}\left(\frac{V_{ps}}{V_{pi}}\right)\right) \times 100\% \leq 5\% \text{ を満たす正の入力電圧 } V_{inp}$$

$$\left(1 - \text{abs}\left(\frac{V_{ns}}{V_{ni}}\right)\right) \times 100\% \leq 5\% \text{ を満たす負の入力電圧 } V_{inm}$$

を求める。入力電圧範囲は正負側の入力電圧の小さい方の電圧である。すなわち、

$$\text{入力電圧範囲} = \min(V_{inp}, \text{abs}(V_{inm}))$$

と評価する。

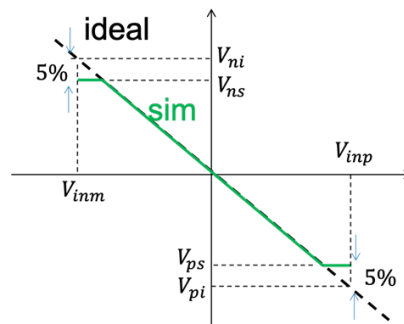


図 2：入力電圧範囲の評価

### 3.6. スルーレート

評価方法：図 1(a)の回路において、入力電圧を、PWL 電圧源を用いて図 3 のような波形とする。立ち下りのスルーレートを評価する場合は正負の電圧を反転させる。スルーレートは入力電圧の最初の立ち上がり（立ち下り）において、出力電圧が 900mV と -900mV（立ち下りの場合は -900mV と 900mV）になった時刻をそれぞれ、 $t_1$  と  $t_2$  とし、

$$\text{スルーレート} = \frac{1.8}{t_2 - t_1} [\text{V/s}]$$

で求められる。立ち上がりと立ち下りのスルーレートの内、絶対値が小さい方をスルーレートの評価結果とする。また、最終出力電圧を  $V_{fsim}$  とすると、 $V_{fsim} \leq 1.1 \times V_{fideal}$  を満たさないと回路が発散すると判定する。ただし、 $V_{fideal}$  は最終出力電圧の理論値であり、立ち上りの場合は 500mV で、立ち下りの場合は 500mV である。

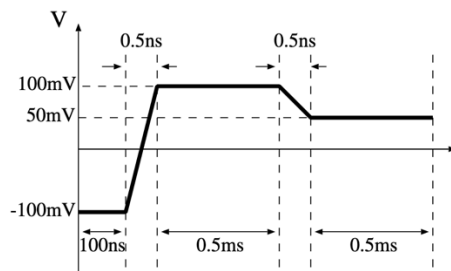


図 3：スルーレート評価用入力電圧（立ち下りの場合）

### 3.7. 全高長波歪

評価方法：図 1(a)において、入力電圧を振幅が 1mV、周波数が 1kHz の正弦波とし、出力電圧の全高調波歪を評価する。入力電圧の直流電圧（DC オフセット）は 0V とする。

### 3.8. 占有面積

評価方法：各素子の面積は下記のように計算する。

- トランジスタ =  $W[\text{um}](L[\text{um}] + 2\text{um})$   
拡散領域の幅をそれぞれ 1um と仮定する。

- 容量 =  $\frac{\text{容量値}[\text{um}]}{3\text{fF}} [\text{um}^2]$

単位面積容量を 3fF/um<sup>2</sup> とする。

- 抵抗 =  $\frac{\text{抵抗値}[\Omega]}{3\text{k}\Omega} \times 4[\text{um}^2]$

シート抵抗を 1kΩ/□，シート面積を 4um<sup>2</sup> とする。

補足：試作部門に準ずる。試作では 1 区画がおおよそ 0.8mm×0.32mm=0.256mm<sup>2</sup> だが、配線などその他の設計ルールを考慮すると 0.2mm<sup>2</sup> 以内程度が妥当と考える。本来は実際のデザインルールを使うのがベストだが、守秘義務のある数値の公開はできないため、それらしい値にした。

## 4. その他

### 4.1. 素子値の制限

- MOS トランジスタ
  - 最小チャネル長=0.6 $\mu\text{m}$
  - 最長チャネル長=チャネル幅の 10 倍または 140 $\mu\text{m}$
  - 最小チャネル幅=1.2 $\mu\text{m}$
  - サイズ刻み幅=0.1 $\mu\text{m}$
- 容量
  - 最小容量値=0.1pF
- 抵抗
  - 最小抵抗値=10 $\Omega$  (1k $\Omega$ 100 個並列接続にする)
  - 最大合計抵抗値=50M $\Omega$

### 4.2. 安定性の確認

安定性を判断するために、図 1(a)と 1(b)における極を求め、s-平面上の右半平面または虚軸上に極が存在するかどうかを確認する。